

[19] 中华人民共和国国家知识产权局

[51] Int. Cl⁷

G09G 3/30

G09F 9/30

[12] 发明专利申请公开说明书

[21] 申请号 02118878.5

[43] 公开日 2003 年 1 月 1 日

[11] 公开号 CN 1388503A

[22] 申请日 2002.4.30 [21] 申请号 02118878.5

[30] 优先权

[32] 2001.5.30 [33] JP [31] 161998/2001

[71] 申请人 三菱电机株式会社

地址 日本东京

[72] 发明人 飞田洋一 平野信行 上里将史

[74] 专利代理机构 中国国际贸易促进委员会专利商
标事务所

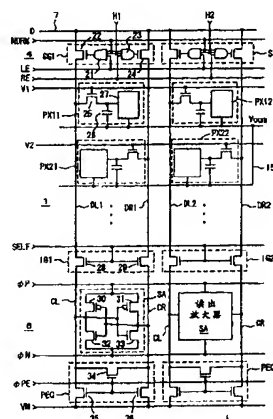
代理人 王以平

权利要求书 4 页 说明书 56 页 附图 23 页

[54] 发明名称 显示装置

[57] 摘要

提供一种显示装置。对与在显示像素阵列(1)内配置的像素(PX)的列对应地配置的数据线(DL, DR)配置互补信号线(CL, CR)。在刷新模式时,将此像素的数据读出到互补信号线 CL 及 CR,由读出放大器(SA)进行差分放大,并将此差分放大的数据写入到原来的像素。在内部进行刷新,无需重写在外部存储器上准备刷新用的数据,可降低数据保持的功率消耗。



ISSN 1008-4274

1.一种显示装置, 包括:

以行和列排列的多个像素元件(27);

配置成与各所述行相对应, 每一个都向各对应行的像素元件传输选择信号的多个扫描线(V1, V2, V10, V1E);

配置成与所述列相对应, 每一个都向对应列的像素元件传输数据信号的多个数据线(DL1, DL2, DR1, DR2; D1-D4);

每一个都配置成与所述像素元件相对应, 且每一个都响应于对应的扫描线的信号而将对应的数据线的信号传输到对应的像素元件的多个选择晶体管(25);

配置成与所述各选择晶体管相对应, 用来保持施加于对应的像素元件上的电压的保持电容元件(26; 210); 以及

响应于刷新指示读出所述保持电容元件的保持电压, 并按照该读出的保持电压信号刷新所述保持电容元件的保持电压的刷新单元(2, 4, 5, 8)。

2.如权利要求1的显示装置, 其中所述刷新单元(2, 4, 5, 8)包括:

响应于所述刷新指示, 用来将上述数据线连接到对应于各列配置的互补信号线对的数据线控制电路(IG1, IG2);

响应于所述刷新指示, 选择性地激活, 激活时将所述互补信号线对设定为预定电压电平的电压设定单元(PEQ);

响应于所述刷新指示, 选择性地激活, 激活时将对应的互补信号线对的电压进行差分放大的差分放大单元(SA);

响应于所述刷新指示, 以预定的顺序驱动所述扫描线进入选择状态, 使对应的保持电容元件(26)与数据线相连接的行选择单元(2)。

3.如权利要求1的显示装置, 其中所述刷新单元(2, 4, 5, 8)包括:

以预定的周期响应于所述刷新指示, 生成刷新要求的刷新要求单元(5);

响应于所述刷新指示, 使所述数据线有选择地与对应于所述列配

置的生成互补信号的互补信号线对(CL, CR)相连接的数据线控制电路(IG1, IG2);

对应于所述互补信号线对配置的、将激活时对应的互补信号线对设定为预定电位电平的电压初始设定电路(PEQ);

激活时对所述互补信号线对的电位差分放大的差分放大电路(SA);

响应于所述刷新要求信号, 对所述多个扫描线以预定顺序选择, 使所述保持电容元件与对应的数据线相连接的行选择单元(2);

响应于所述刷新要求信号, 对所述电压初始设定单元及所述差分放大单元选择性地激活的刷新控制电路(5).

4.如权利要求 1 的显示装置, 其中: 对应于各列配置传输互补数据信号的第一及第二数据线(DL, DR)对, 与所述各扫描线(V1, V2; VO1, VO2)与所述第一、第二数据线中的一个的交叉部分对应地配置所述像素元件。

5.如权利要求 2 或 3 的显示装置, 其中: 对应于各行配置 2 条所述扫描线(V1O, V2O, V1E, V2E), 各行的像素元件排列成为邻接列的像素元件与不同的扫描线相连接, 邻接列的数据线组成对;

所述数据线控制电路(IG1, IG2)使组成所述对的数据线(D1, D2; D3, D4)与所述互补信号线对相连接;

所述行选择单元(2), 在所述刷新指示的激活时, 在选择行中选择一条扫描线, 在各数据线对中保持电容元件与一个数据线相连接, 并且所述行选择单元, 在所述刷新指示非激活时, 在选择行中同时选择 2 条扫描线。

6.如权利要求连接控制电路 4 或 5 的显示装置, 其中还包括: 在各行中, 和在所述成对的数据线中的与像素元件(27)连接的数据线不同的数据线相连接、保持与对应的保持电容元件互补的数据相对应的电压的基准电容元件(101)。

7.如权利要求 1 的显示装置, 其中: 所述各像素元件(27)包括按照对应的保持电容元件(25)的保持电压有选择地导通, 导通时使公用电

极与对应的像素电极相连接的驱动晶体管(27a)和配置于所述像素电极和对向电极之间的液晶元件(40)。

8.如权利要求 2 或 3 的显示装置,其中所述刷新单元(5, 6)还包括:
将所述互补信号线对的由差分放大单元放大的数据信号反相,写入电压保持电容元件的反相写入单元(TR3, TR4), 以及

将施加于所述像素元件的主电极的电压的极性进行反相的极性反相单元(230)。

9.如权利要求 8 的显示装置,其中:所述刷新单元,在对所有的所述像素元件进行的一次保持电压刷新结束时,使所述像素元件的主电极的极性反相。

10.如权利要求 1 的显示装置,其中:所述像素元件(27)包含按照所述保持电容元件的保持电压供给电流而发光的元件(EL)。

11.如权利要求 1 的显示装置,其中:

所述多个数据线(D1-D4)配置成为邻接的数据线组成对;

所述刷新单元(2, 4, 5, 6, 8)使在所述刷新指示激活时组成对的数据线中的一个数据线与保持电容元件(27)相连接,刷新与该一个数据线相连接的保持电容元件的保持电压,并且在正常动作模式时使组成对的数据线的两数据线与保持电容元件相连接,而将传输到数据线的的数据写入这些保持电容元件。

12.如权利要求 11 的显示装置,其中还包括用来在测试模式时将所述组成对的数据线的电压信号传输到外部的测试输出电路(150, 152; 154, 152)。

13.如权利要求 12 的显示装置,其中还包括将在所述测试模式时在组成对的数据线上,把从所述电压保持电容元件读出的电压信号进行差分放大的差分放大电路(120i, 120j);

所述测试输出电路将各组成对的信号线的放大电压信号输出到外部。

14.如权利要求 1 的显示装置,其中还包括与所述各保持电容元件对应地配置的、用来存放与对应的保持电容元件的保持数据互补的数

据的多个基准电容元件。

15.如权利要求 14 的显示装置，其中：上述基准电容元件配置成为在行方向上排列所述保持电容元件。

显示装置

技术领域

本发明涉及用于显示图像的显示装置，特别涉及利用电容的保持电压驱动对应于像素而配置的像素元件的显示装置。

背景技术

液晶显示装置(LCD)是现在熟知的一种显示装置。在LCD中，已公知，采用以非晶硅(a-Si)半导体薄膜或多晶硅(p-Si)半导体薄膜作为素材(活性层)，并在此活性层上形成沟道及源/漏的薄膜晶体管(TFT)的薄膜晶体管驱动方式的液晶显示装置(TFT-LCD)。特别是，相应于显示像素设置作为影像信号开关的TFT的有源阵列型液晶显示屏，由于是通过此TFT的开关动作保持显示像素元件的驱动电压，对比度及响应速度特性等画质优异，广泛应用于用来显示静止图像及活动图像的便携式个人计算机及台式个人计算机的显示器或投影式显示器等之中。

图44为示出现有的彩色液晶显示装置的构成的示意图。在图44中，现有的彩色液晶显示装置包含具有红(R)、绿(G)及蓝(B)三色像素的单位显示像素1001以行列形状排列的液晶显示单元1002，顺序选择此液晶显示单元1002的扫描线1010的垂直扫描电路1003，和将影像信号传输到液晶显示单元1002的各列的水平扫描电路1006。

在液晶显示单元1002中，扫描线1010与液晶显示单元1002的各单位显示像素行对应配置，通过选择一根扫描线可同时选择一行的单位显示像素1001。

在此液晶显示单元1002中，还对应于单位显示像素1001的各列配置数据线1011。此数据线1011分别对R、G及B的三色像素进行配置。

垂直扫描电路 1003 包含有生成用来顺序选择液晶显示单元 1002 的扫描线 1010 的信号的移位寄存器电路 1004, 和对移位寄存器电路 1004 的输出信号进行缓冲处理驱动扫描线 1010 进入选择状态的缓冲电路 1005。从图中未示出的显示控制电路向移位寄存器电路 1004 施加垂直同步信号和水平同步信号, 根据此水平同步信号扫描线 1010 在垂直方向上顺序扫描。如果施加垂直同步信号, 则重新返回到前导扫描线并顺序驱动扫描线。就垂直扫描电路 1003 驱动扫描线的顺序而言, 存在有每隔一行顺序驱动的扫描线进入扫描状态的隔行扫描方式以及顺序驱动扫描线 1010 进入选择状态的非隔行扫描方式。

水平扫描电路 1006 包含有: 对水平同步信号分频并通过移位操作生成顺序选择液晶显示单元 1002 的数据线的信号的移位寄存器电路 1007; 对移位寄存器电路 1007 的输出信号进行缓冲处理的缓冲电路 1008; 及根据缓冲电路 1008 发出的选择信号而导通, 并将影像处理单元发出的通过公用图像数据线 1013 施加的影像信号(数据信号)传输到数据线 1011 的开关电路 1009。分别与 R、G 和 B 像素相对应的数据信号并行施加于此公用图像数据线 1013。

开关电路 1009 也包含分别与 R、G 和 B 像素对应配置的开关元件 SW, 并根据缓冲电路 1008 输出的选择信号将数据信号并行传输到对应列的分别与 R、G 和 B 像素对应设置的信号线 1011。由此, 在单位显示像素 1001 中, 同时将数据写入 R、G 和 B 三色像素, 其中包含的液晶根据写入的数据而驱动。

在此单位显示像素 1001 中, 设置有保持用来驱动液晶的电压的电容, 此电容与公用电极线 1012 连接。公用电极线 1012 共同配置于包含在公用电极线 1012 中的单位显示像素 1001 中。

图 45 为与图 44 所示的单位显示像素 1001 的单色的单位色像素相对应的图像元件的构成的概略示图。在图 45 中, 包含于单位显示像素 1001 中的单位色像素元件包含有: 液晶元件 1102; 响应于扫描线 1010 的信号而导通并使液晶元件 1102 和数据线 1011 相连接的抽样 TFT 1101; 以及用来通过抽样 TFT 1001 保持施加于电压保持节点 1106 的

电压保持电容元件 1103。此电压保持电容元件 1103 连接在公用电极线 1012 和电压保持节点 1106 之间。

液晶元件 1102 连接到电压保持节点 1106 和对向电极 1105 之间，其透射率根据对向电极 1105 和电压保持节点 1106 之间的电压而改变，相应地，调整对此液晶元件 1102 设置的彩色滤光器的色亮度。对此液晶元件 1102 存在寄生电容 1104。下面对此图 45 所示的单位色像素元件的动作予以简单说明。

如果利用扫描线扫描线 1010 上的信号使抽样 TFT 1101 处于“通”的状态，则经图 44 所示的公用图像数据线 1013 施加于信号线 1011 上的数据信号将经抽样 TFT 1101 传输到电压保持节点 1106。根据传输到此电压保持节点 1106 的电压，电荷蓄积于电压保持电容元件 1103 及寄生电容 1104。

在所谓行顺序驱动の場合，与此扫描线 1010 相连接的一行的单位像素 1001 根据图 44 所示的水平扫描电路 1006 的输出信号顺序选择，数据信号写入到各选择单位像素元件。在一个扫描线 1010 中对单位像素写入数据信号结束时，利用图 44 所示的垂直扫描电路 1003 驱动下一行的扫描线 1010 进入选择状态，执行对下一行的单位像素的数据信号的写入。

非选择状态的扫描线 1010 的电压为接地电压或负电压电平，与非选择状态的扫描线 1010 相连接的抽样 TFT 1101 保持“断”的状态。所以，写入此电压保持节点 1106 的电压，由电压保持电容元件 1103 及寄生电容 1104 一直保持到垂直扫描电路 1003 的下一次扫描为止。

垂直扫描电路 1003，在此液晶显示单元 1002 对所有行(称为一帧)扫描之后，再将正电压施加于此扫描线 1010 上，而抽样 TFT 1101 变成导通状态，从对应的信号线 1011 经抽样 TFT 1101 向液晶元件 1102 及电压保持电容元件 1103 写入电压。于是，对各单位显示像素，顺序地每帧写入保持电压。

液晶元件 1102，因为其特性会因为施加直流电压而劣化，所以对液晶元件 1102 使用交流驱动。就是说，对单位色像素的写入或电压保

持,是通过将相对于对向电极 1105 的电压为正或负的极性的电压在各帧交替地写入信号线完成的。

通常,此帧频为 60 赫兹,因此,由于在电压保持节点 1106 上施加正负极性反转的电压,液晶驱动频率变成帧频的 $1/2$ 倍的频率,通常为 30 赫兹。

通过将写入此电压保持节点 1106 保持的电压和对向电极 1105 的电压的电压差对时间平均,可确定有效施加到液晶元件 1102 上的电压 V_{rms} 。根据此电压 V_{rms} 可确定液晶元件 1102 的排列状态,该液晶元件的光透射率得到抑制并确定显示状态。

在 30 赫兹的液晶驱动频率的场合,由于在显示画面上出现称为闪烁的雪花,显示图像的画质会降低。为抑制这种闪烁,过去一直是通过采取对像素上下左右相邻的各像素交替反转液晶驱动电压极性的闪烁抑制方式。

在此液晶显示装置中,要求在数据信号写入一个单位像素元件到下一次再写入为止的期间内,由液晶元件 1102 和电压保持电容元件 1103 保持写入的电压。由于液晶元件 1102 的电阻有限以及抽样 TFT 1101 的漏电流,此电压保持节点 1106 的电压会降低。

如图 46 所示,在以通常的 60 赫兹(Hz)的帧周期工作的场合,一个单位像素元件,由于在帧周期 $PF(=1/60 \text{ 秒})$ 内重写保持电压,该像素节点(电压保持节点)的电压下降很小,像素的液晶元件的反射率(亮度)的变化小,闪烁及对比度降低的显示质量降低可以得到充分的抑制。此处,在图 46 中,横轴表示时间,纵轴表示单位色像素的反射率(亮度)。

在液晶显示装置中,扫描线和数据信号线的交叉部分的电容,以及互连线(扫描线及数据信号线)和在对向基板整个表面上形成的对向电极之间的液晶的电容的充放电,在每次抽样 TFT 1101 的选择时间内,消耗了大部分的电流。垂直扫描电路 1003,以帧频·扫描线数频率动作,并且水平扫描电路 1006 以帧频·扫描线数·数据信号线的频率动作。因此,这些互连线之间的电容及互连线和对向电极之间的电

容的充放电是以这些垂直扫描电路 1003 及水平扫描电路 1006 的动作频率充放电，电力消耗变大。

为降低此电力消耗，可以认为降低这些垂直扫描电路 1003 及水平扫描电路 1006 的动作频率或使这些垂直扫描电路 1003 及水平扫描电路 1006 间歇动作是有效的手段。

如图 47 所示，在降低水平及垂直扫描电路 1003 及 1006 的动作频率以便以周期 P_{fr} 对一个单位色像素进行写入的场合，像素节点(电压保持节点)1106 的电压降低变得极大，反射率(亮度)也有很大变化。此处，在图 47 中，也是以横轴表示时间，以纵轴表示反射率。此反射率，与像素节点的蓄积电压成比例。在以这种低速(低频)重写进行显示的场合，电压保持节点 1106 的电压变化很大，反射率(亮度)的变化大，此电压降低会使显示画面上出现闪烁，使显示图像质量降低。另外，会产生施加到此液晶元件上的平均电压降低，不能获得良好的对比度或由于低速重写造成的显示响应速度降低等显示质量降低的问题。

在日本专利特开平 9-258168 号公报中公开了一种用来缓和上述动作频率降低造成的显示质量劣化的问题的方法。

图 48 为示出现有的液晶显示装置的一个像素的构成的概略示图。在图 48 中，显示像素包含有：根据扫描线 1010 上的信号 G_m 选择性地导通，导通时将数据信号线 1011 上的数据信号 D_i 传输到内部节点 1133 的抽样 TFT 1131；连接在内部节点 1133 及公用电极线 1121 之间的电压保持电容元件 1132；响应于内部节点 1133 的电压而选择性地导通，导通时电连接公用电极线 1121 和透明电极 1135 的像素驱动 TFT 1134；以及接受来自对向电极驱动电路 1122 的驱动电压 V_{cnt} 的对向电极 1136。

在此图 48 中显示的显示像素，在行及列方向上排列成矩阵状。公用电极线 1121，与包含在此显示单元内的所有的显示像素共同连接，接受来自公用电极驱动电路 1120 的公用电极电压 V_{com} 。

对向电极 1136，与形成于显示像素显示屏上的显示像素共同形成于对向基板的整个表面上。在透明电极 1135 及对向基板的外部两侧配

置偏振片,另外,在其中的一个上配置背照光。在此图 48 中示出的显示像素为单色显示像素,与 R、G 及 B 三色分别地配置图 48 中示出的显示像素。

下面参考图 49 示出的信号波形图对图 48 的显示像素的动作顺序予以说明。对利用扫描线选择电路选择的扫描线,如果将超过抽样 TFT 1131 的阈值的电压传输到扫描线 1010 上,选择此扫描线 1010,则可同时选择与此扫描线 1010 相连接的一行像素。在点顺序方式中,从数据写入电路顺序向数据信号线 1011 传输数据信号 D_i ,并且在行顺序方式的场合,同时向此扫描线 1010 连接的显示像素传输对应的数据信号 D_i 。

如果数据信号线 1011 上的数据信号 D_i ,通过抽样 TFT 1131 使电压保持电容元件 1132 充电,内部节点 1133 的电压 V_{mem} 将根据写入的数据信号 D_i 而变化。在图 49 中示出的是,在抽样时首先传输逻辑 H 电平的写入数据电压的场合。如果内部节点 1133 的电压电平变为逻辑 H 电平,则对应的像素驱动 TFT 1134 变为导通状态,透明电极 1135 与公用电极线 1121 连接,此透明电极 1135 的电压 V_{dp} 将等于公用电极线 1121 上的电压 V_{com} 。

另一方面,从对向电极驱动电路 1122 施加到对向电极线 1136 上的对向电极电压 V_{cnt} ,在每一个取样周期中其极性都改变(在邻接行中,信号电压的极性反转,抑制闪烁的产生)。按照此对向电极电压 V_{cnt} ,透明电极 1135 和对向电极 1136 之间的电压 V_{lcd} 改变,液晶的排列状态改变,变成为“通”的状态。

另一方面,在抽样电压 V_{mem} 为逻辑 L 电平时,像素驱动 TFT 1134 为非导通状态,显示电极的透明电极 1135 和公用电极线 1121 分离,由于此对向电极 1136 上的电压(液晶驱动电压 V_{cnt})未施加到液晶上,所以液晶的电极间电压为逻辑 L 电平,液晶保持非导通状态。

因此,在图 48 所示的显示像素的构成中,作为控制显示状态用的信号电压是利用施加于电压保持电容元件上的数据信号 D_i 。一旦蓄积于此电压保持电容元件 1132 的电荷,在一直到选择下一个对应的扫描

线 1010 的期间(一帧期间)内, 由于此抽样 TFT 1131 及抽样电容(电压保持电容元件)1132 的漏电流而慢慢减少。不过, 一直到内部节点 1133 的电压降低到超过像素驱动 TFT 1134 的阈值为止, 由于像素驱动 TFT 1134 保持导通状态, 透明电极 1135 和公用电极线 1121 电连接, 其显示状态不改变。

按照图 48 所示的构成, 只有在重写显示内容的场合, 要求驱动扫描线 1010 及数据信号线 1011。在不改变像素元件的显示状态的场合, 只在公用电极线 1121 及对向电极 1136 之间, 通过施加液晶驱动电压 (V_{cnt}), 保持该显示状态, 不需要驱动扫描线及数据信号线, 可做到降低功率消耗。

在此图 48 所示的显示像素的构成中, 数据信号(抽样电压) V_{mem} , 由于像素驱动 TFT 1134 和电压保持电容元件 1132 的绝缘漏电流及抽样 TFT 1131 的关漏(off-leak)电流而慢慢下降。由于如果此内部节点 1133 的电压电平降低像素驱动 TFT 1134 变成“断”状态, 显示状态将改变, 在不改变其显示的场合, 必须定期地重写(刷新)抽样电压。

图 50 为示出现有的显示系统的构成一例的示图。在图 50 中, 此显示系统包含有控制图像显示的处理器(CPU)1200, 在此处理器 1200 的控制下, 存放来自图中未示出的图像信号处理单元的图像数据及顺序输出所存放的图像数据的外部存储器 1202, 以及根据来自此外部存储器 1202 的图像数据进行图像显示的显示装置 1204。

显示装置 1204 具有图 48 所示的由显示像素构成的显示屏。外部存储器 1202 由, 比如, 静态随机存储器(SRAM)或图像存储器构成, 存储此显示装置 1204 用的图像数据。在显示装置 1204 的显示状态不改变的场合, 在此外部存储器 1202 中存储刷新用的图像数据。因而, 在此显示装置 1204 中, 在刷新各显示像素的抽样电压(保持电压) V_{mem} 的场合, 必须读出存放于外部存储器 1202 中的图像数据供给显示装置 1204。在此外部存储器 1202 由 SRAM 构成的场合, 其成本较高, 并且, 会产生在刷新时, 由于在外部存储器 1202 和显示装置

1204 之间传输数据信号，外部存储器 1202 和显示装置 1204 之间的互连线及在外部存储器 1202 内消耗功率，用于刷新的功率消耗很大的问题。

发明概述

本发明的目的在于提供一种能够不使显示质量劣化，且可充分降低功率消耗的显示系统的显示装置。

本发明的另一个目的在于提供一种可降低显示系统的成本及尺寸的显示装置。

本发明的在一个目的在于提供一种可长期稳定地保持显示图像的低功耗的显示装置。

本发明涉及的显示装置的构成包括：以行和列排列的多个像素元件；配置成与行相对应，每一个都向对应行的像素元件传输选择信号的多个扫描线；配置成与像素元件的列相对应，每一个都向对应列的像素元件传输数据信号的多个数据线；配置成与各像素元件相对应，每一个都响应于对应的扫描线的信号将对应的数据线的的数据信号传输到对应的像素元件的多个选择晶体管；配置成与各选择晶体管相对应，用来保持施加于对应的像素元件上的电压的保持电容元件；以及响应于刷新指示读出保持电容元件的保持电压，并按照该读出的保持电压信号刷新该保持电容元件的保持电压的刷新单元。

在显示装置内部读出电压保持电容元件(抽样电容)保持的电压，按照所读出的电压复原(再生)电压保持电容元件的保持电压，于是可在显示装置内部正确刷新保持电压，并且无需在外部设置刷新用的存储器，可以降低功率消耗及系统尺寸。

另外，通过利用与通常的 DRAM(动态随机存储器)中采用的刷新控制电路同样的构成，就无须另行配置复杂的电路构成而可实现可靠性高的刷新电路。

另外，作为显示元件，可使用液晶元件，电致发光元件以及带有液晶驱动电路的像素元件中的任何一种都可正确地实现刷新保持电

压。

附图简述

图 1 为概略示出根据本发明的显示装置的整体构成的示图。

图 2 为概略示出根据本发明的实施方案 1 的显示装置的主要部分的构成的示图。

图 3 为概略示出图 2 所示的显示像素的构成的示图。

图 4 为概略示出图 3 所示的显示像素的剖面构造的示图。

图 5 为示出图 1 所示的移位时钟切换电路的构成一例的示图。

图 6 为概略示出图 1 所示的垂直扫描电路的构成的示图。

图 7 为示出根据本发明的实施方案 1 的显示装置的正常动作模式时的动作的时序图。

图 8 为示出图 6 所示的垂直扫描电路的动作的时序图。

图 9 为示出根据本发明的实施方案 1 的显示装置的刷新模式时的动作时序图。

图 10 为示出图 1 所示的刷新控制电路的构成一例的示图。

图 11 为示出图 10 所示的刷新控制电路的动作的时序图。

图 12 为示出图 1 所示的刷新控制电路的控制刷新电路的部分的构成一例的示图。

图 13 为示出图 12 所示的刷新控制电路的动作的时序图。

图 14 为示出本发明的实施方案 1 的变更例的示图。

图 15 为示出图 14 所示的生成右/左启用信号的部分的构成的一例的示图。

图 16 为示出图 15 所示的右/左启用信号生成单元的动作的时序图。

图 17 为示出本发明的实施方案 1 的一系列像素群的分割的构成的示图。

图 18 为示出根据本发明的实施方案 2 的显示装置的主要部分的构成的示图。

图 19 为示出图 18 所示的显示像素矩阵刷新时的数据线读出电压的示图。

图 20 为示出本发明的实施方案 2 的变更例的主要部分的构成的示图。

图 21 为概略示出根据本发明的实施方案 3 的显示装置的主要部分的构成的示图。

图 22 为更具体示出根据本发明的实施方案 3 的显示装置的主要部分的构成的示图。

图 23 为示出根据本发明的实施方案 3 的显示装置的刷新控制单元的构成的一例的示图。

图 24 为示出图 22 及图 23 所示的电路的动作的时序图。

图 25 为示出本发明的实施方案 3 的变更例的示图。

图 26 为示出本发明的实施方案 3 的变更例 2 的构成的示图。

图 27 为示出根据本发明的实施方案 4 的显示装置的主要部分的构成的示图。

图 28 为示出图 27 所示的生成奇数/偶数垂直扫描指示信号的部分的构成的一例的示图。

图 29 为示出图 27 所示的显示装置的动作的时序图。

图 30 为概略示出根据本发明的实施方案 4 的显示装置的刷新控制单元的构成的示图。

图 31 为示出本发明的实施方案 4 的变更例的示图。

图 32 为示出图 30 及图 31 所示的电路的动作的时序图。

图 33 为概略示出根据本发明的实施方案 4 的显示装置的变更例 2 的主要部分的构成的示图。

图 34 为示出图 33 所示的生成奇数/偶数垂直扫描选择信号生成单元的构成的一例的示图。

图 35 为概略示出本发明的实施方案 4 的数据写入单元的构成的一例的示图。

图 36 为概略示出根据本发明的实施方案 4 的变更例 2 的水平扫描

电路的构成的一例的示图。

图 37 为示出根据本发明的实施方案 5 的像素的构成的示图。

图 38 为示出根据本发明的实施方案 6 的像素的构成的示图。

图 39 为概略示出根据本发明的实施方案 6 的显示装置的主要部分的构成的示图。

图 40A 为概略示出图 39 所示的显示装置的刷新时的动作的示图，图 40B 为概略示出驱动图 39 所示的对向电极的部分的构成的示图。

图 41A 为示出图 39 所示的显示装置的刷新时的内部动作信号波形图，图 41B 为示出生成图 39 所示的复原指示信号及限制指示信号的部分的构成的一例的示图。

图 42 为示出根据本发明的实施方案 7 的显示装置的主要部分的构成的示图。

图 43A 为概略示出图 42 所示的显示装置的刷新时的动作的示图，图 43B 为示出刷新时的电压保持电容元件的电极电压的变化的示图。

图 44 为示出现有的显示装置的整体的构成的示图。

图 45 为示出现有的显示装置的像素的构成的一例的示图。

图 46 为示出现有的显示装置的保持电压变化的示图。

图 47 为示出现有的显示装置的驱动电压变化的另一例的示图。

图 48 为概略示出现有的显示装置的主要部分的构成的示图。

图 49 为示出图 48 所示的显示装置的动作的时序图。

图 50 为概略示出现有的显示系统的构成的一例的示图。

实施发明的具体方式

[实施方案 1]

图 1 为概略示出根据本发明的显示装置的整体构成的示图。在图 1 中，显示装置包括：包含以行列形状排列的多个像素元件的显示像素矩阵 1；时序选择此显示像素矩阵 1 的行的垂直扫描电路 2；按照水平时钟信号 HCK 生成顺序选择显示像素矩阵 1 的列的信号的水平扫描电路 3；将传输图像数据 D 的图像数据总线(公用图像数据线)7 的各信

号线按照水平扫描电路 3 的输出信号顺序连接到显示像素矩阵 1 的列上的连接控制电路 4; 在启动时刷新显示像素矩阵 1 的各显示像素的保持电压的刷新电路 6; 以及按照刷新指示信号 SELF 控制刷新电路 6, 连接控制电路 4 和垂直扫描电路 2 的动作的刷新控制电路 5。

水平扫描电路 3 包含: 响应水平扫描开始指示信号 STH, 按照水平时钟信号 HCK 执行移位动作的水平移位寄存器 11 以及接受此水平移位寄存器 11 的各输出信号, 按照多重选择禁止信号 INHH, 在选择列变成非选择状态之后驱动下一选择列进入选择状态的缓冲电路 12。

水平移位寄存器 11, 按照水平时钟信号 HCK 执行移位动作。因而, 存在邻接输出节点同时变成逻辑 H 电平的选择状态的期间。缓冲电路 12, 在移位动作时, 在选择列改变的场合, 禁止邻接输出节点同时变成逻辑 H 电平, 禁止显示像素矩阵 1 的列的多重选择。水平扫描开始指示信号 STH, 在每次水平扫描期间生成, 通过将此水平扫描开始指示信号 STH 移位到水平移位寄存器 11 内生成列选择信号, 在各选择行中从前导列进行扫描。

连接控制电路 4, 在正常动作中, 根据缓冲电路 12 的列选择信号顺序选择图像数据总线(公用图像数据线)7 上的图像数据 D 并传输到显示像素矩阵 1 的对应选择列上。另一方面, 在刷新模式中, 此连接控制电路 4 处于非导通状态, 将图像数据总线 7 与显示像素矩阵 1 隔离。

刷新控制电路 5, 在刷新指示信号 SELF 启动时将启动刷新电路 6, 执行显示像素矩阵 1 的各显示像素元件的保持电压的刷新。此刷新控制电路 5, 在刷新模式时, 生成对垂直扫描电路 2 的移位动作所必需的各种时钟信号。这些刷新时用来进行垂直扫描电路 2 的垂直扫描的信号也可在刷新时从外部提供。

移位时钟切换电路 8, 按照激活状态的刷新指示信号 SELF, 将刷新控制电路 5 发出的移位时钟信号供给垂直扫描电路 2 代替来自外部的移位时钟信号。

在图 1 所示的装置中, 由于借助于刷新电路 6 显示像素矩阵 1 的

显示像素的保持电压得到刷新,就没有必要将存储于设置在外部的存储器中的刷新用的数据写入显示像素矩阵 1 进行重新刷新,可减少功率消耗(因为只须执行内部动作之故)。另外,由于可在显示装置内部刷新保持电压,在显示图像不改变的场合,在内部可长时间保持保持电压,可防止发生显示图像的质量降低之事。

图 2 为更具体示出图 1 所示的显示像素矩阵 1 及刷新电路 6 的构成的示图。在图 2 中,在显示像素矩阵 1 中,像素 PX 排列成为行列状。在图 2 中,作为代表示出的是排列为 2 行 2 列的像素 PX11, PX12, PX21 及 PX22。对于在列方向排列的像素 PX(示出像素 PX11...作为代表)配置有互补数据线 DL 及 DR。就是说,对于像素 PX11 及 PX21,配置有数据线 DL1 及 DR1,而对于像素 PX12 及 PX22,配置有数据线 DL2 及 DR2。

这些像素 PX,各个行中,对应的互补数据线对的数据线是交替地连接。就是说,排列于奇数行的像素 PX11 及 PX12 分别与数据线 DL1 及 DL2 连接,而排列于偶数行的像素 PX21 及 PX22 分别与数据线 DR1 及 DR2 连接。对这些 PX 共同地通过公用电极线 15 提供公用电极电压 V_{com} 。

像素 PX,由于具有同一构成,所以在图 2 中,只对像素 PX11 的构成要素赋予标号。在图 2 中,像素 PX(PX11)包含有按照扫描线上的扫描信号 V_1 导通,使对应的数据线 DL1 与内部节点连接的抽样 TFT25;用来通过此抽样 TFT25 保持所供给的电压信号的电压保持电容元件 26;以及利用由电压保持电容元件 26 保持的电压驱动包含于内部的液晶元件的液晶驱动单元 27。

通过公用电极线向电压保持电容元件 26 的主电极提供公用电极电压 V_{com} 。

在排列于奇数行的像素 PX11、PX12 中,抽样 TFT25 取得供给数据线 DL(DL1, DL2)的数据信号传输给内部节点。另一方面,在排列于偶数行的像素 PX21、PX22 中,抽样 TFT25 将传输到数据线 DL(DL1, DL2)的数据信号传输给内部节点。

通过与像素的各列相对应地配置互补数据线对, 读出存放于各像素 PX 中的写入电压(保持电压), 经差分放大复原原来的保持电压而刷新各像素 PX 的保持电压。

连接控制电路 4 包含与互补数据线对 DL 及 DR 相对应设置的切换电路 SG(SG1, SG2)。对切换电路 SG1 及 SG2 分别供给图 1 所示的缓冲电路 12 发出的列选择信号(水平扫描信号)H1 及 H2。这些切换电路 SG1 及 SG2, 根据相应于选择扫描线激活的左启用信号 LE 和右启用信号 RE 切换与图像数据总线 7 和互补数据线 DL 及 DR 的连接。另外, 在图像数据总线 7 中, 是分别针对 3 三色来传输图像数据, 在图 2 中, 由于示出的是针对单色图像数据的构成, 所以以下称图像数据总线 7 为公用图像数据线 7。

这些切换电路 SG1 及 SG2, 由于具有同一构成, 所以在图 2 中, 对切换电路 SG1 的构成要素赋予标号。

切换电路 SG1 包含有: 接受正常动作模式指示信号 NORM、左启用信号 LE 和列选择信号 H1 的 AND 电路 21; AND 电路 21 的输出信号在逻辑 H 电平时导通, 导通时连接公用图像数据线 7 和内部数据信号线 DL1 的传输门 22; 接受正常动作模式指示信号 NORM、右启用信号 RE 和水平扫描信号 H1 的 AND 电路 23; 以及导通时连接公用图像数据线 7 和内部数据信号线 DR1 的传输门 24。

正常动作模式指示信号 NORM, 在将图像数据写入这些像素 PX 的正常动作模式时激活, 并且在执行刷新的刷新模式时设定为低电平。左启用信号 LE 在选择奇数行的像素时激活(设定为高电平), 右启用信号 RE 在选择偶数行的像素时设定为高电平。这些右启用信号 RE 及左启用信号 LE 由此按照扫描线上的行选择信号(垂直扫描信号)V1, V2 激活。就是说, 左启用信号 LE 在传输到偶数行的扫描线上的行选择信号 V1(VO)处于激活状态时激活, 而左启用信号 RE 在传输到奇数行的扫描线上的行选择信号 V2(VE)处于激活状态时激活。

由此, 在对应于各像素列配置互补内部数据线对的场合也可以正确地按照垂直扫描信号(行选择信号)V 及水平扫描信号(列选择信号)H

在正常动作模式时写入数据。

刷新电路 6 包含有：对应互补数据数据线 DL 及 DR 设置的互补信号线 CL 及 CR；在刷新指示信号 SELF 激活时导通，连接互补数据数据线 DL 及 DR 和互补信号线 CL 及 CR 的隔离门 IG(IG1, IG2)；对应互补信号线 CL 及 CR 对设置，在激活时对对应的互补信号线 CL 及 CR 的信号进行差分放大且锁存的读出放大器 SA；以及对应互补信号线 CL 及 CR 设置，在激活时对对应的互补信号线 CL 及 CR 进行预充电并均衡的预充电/均衡电路 PEQ。

隔离门 IG(IG1, IG2)包含有在刷新指示信号 SELF 激活时导通，分别连接数据信号线 DL、DR 和互补信号线 CL、CR 的传输门 28 及 29。此刷新指示信号 SELF，是正常动作模式指示信号 NORM 的互补信号，在正常动作时，此刷新指示信号 SELF 处于逻辑 L 电平的非激活状态，隔离门 IG(IG1, IG2)处于非导通状态，互补信号线 CL 及 CR 与互补数据信号线 DL 及 DR 分离。

读出放大器 SA 包含有：栅极及漏极交叉连接且在其共用源极接受读出放大器驱动信号 ϕP 的 P 沟道 TFT(薄膜晶体管)30 及 31；以及栅极及漏极交叉连接且在其共用源极接受读出放大器驱动信号 ϕN 的 N 沟道 TFT(薄膜晶体管)32 及 33。TFT 30 及 32 构成反相电路，TFT 31 及 33 构成另一个反相电路，此读出放大器 SA，在激活时，对互补信号线 CL 及 CR 的电位进行差分放大并锁存。

预充电/均衡电路 PEQ 包含有：在预充电/均衡信号 ϕPE 激活时导通，将互补信号线 CL 及 CR 电短路的 N 沟道 MOS 晶体管 34；以及在预充电/均衡信号 ϕPE 激活时导通，将预充电电压 VM 分别传输到互补信号线 CL 及 CR 的 N 沟道 MOS 晶体管 35 及 36。此预充电电压 VM 设定为写入到像素 PX 的逻辑 H(高)电平电压及逻辑 L(低)电平电压的中间电压电平。

在内部数据信号线 DL 及 DR 中，扫描线为 512 条等偶数条，在这些内部数据信号线 DL 及 DR 上可连接同样数目的像素 PX，相应地，可使这些内部数据信号线 DL 及 DR 的寄生电容的大小相同。

图 3 为概略示出包含在图 2 所示的显示像素 PX 中的液晶驱动单元 27 的构成的示图。在图 3 中, 液晶驱动单元 27 包含有响应内部像素节点 27c 的电压电平有选择地导通, 导通时使公用电极线 15 电连接到透明电极(显示电极)27b 的像素驱动晶体管(TFT)27a。

与此透明电极 27b 对向地设置对向电极 40, 此对向电极 40 上加有液晶驱动电压 V_{cnt} 。此对向电极 40, 在显示像素矩阵 1 的对向基板的整个表面上相对各像素配置。在图 3 中, 对着一个像素的透明电极 27b 配置的对向电极 40 的部分以点线示出。内部像素节点 27c 连接到电压保持电容元件 26 的电压保持电极。

图 4 为概略示出液晶驱动单元 27 的剖面构造的一例的示图。此图 4 所示的液晶驱动单元的构成是透射型液晶的构造。不过, 也可以使用其他的反射型液晶构造。在图 4 中, 液晶驱动单元 27 包含有形成于玻璃基板 43 上的透明电极(ITO)27b; 在与此透明电极 27b 同样的玻璃基板 43 上形成的像素驱动晶体管 27a; 在透明电极 27b 上形成的液晶 44; 在液晶 44 上对各像素共同地在基板整个表面上形成的对向电极 40; 以及在对向电极 40 上形成的彩色滤光片 42。在此对向电极 40 中, 形成可形成用来分离相邻像素的黑色矩阵的金属层 41。在彩色滤光片 42 中, 配置有 R、G 及 B 的各色彩色滤光片。

在液晶的上部及下部配置偏振片, 在图 4 中, 为了简化图面未示出。另外, 在透射型液晶构造的场合, 还在玻璃基板下部设置图中未示出的背照光。

在对向电极 40 上加有驱动电压 V_{cnt} , 在透明电极 27b 上, 通过像素驱动晶体管 27a 施加有公用电极电压 V_{com} 。

于是, 在内部像素节点 27c 中, 保持逻辑 H 电平及逻辑 L 电平二值图像数据信号。利用图 2 所示的读出放大器 SA, 复原此二值电平的像素数据(保持电压), 将该复原的电压重新写入到原来的像素。此处, 在以下的说明中, “刷新”表示的是读出像素 PX 的保持电压复原原来的电压电平, 并将此复原电压再写入原来的像素 PX 中的动作。

图 5 为示出图 1 所示的移位时钟切换电路 8 的构成一例的示图。

在图 5 中, 移位时钟切换电路 8 包含有: 按照正常动作模式指示信号 NORM 和刷新指示信号 SELF 选择正常垂直扫描信号 ϕ VN 和刷新垂直扫描信号 ϕ VS 中的一个生成垂直时钟扫描信号 VCK 的选择电路 8a; 按照正常动作模式指示信号 NORM 和刷新指示信号 SELF 选择正常垂直扫描开始信号 STVN 和刷新垂直扫描开始信号 STVS 中的一个生成垂直时钟扫描开始信号 STV 的选择电路 8b; 以及按照正常动作模式指示信号 NORM 和刷新指示信号 SELF 选择正常禁止信号 INHVN 和刷新禁止信号 INHVS 中的一个生成禁止信号 INHV 的选择电路 8c.

选择电路 8a 包含有: 接受正常动作模式指示信号 NORM 和正常垂直扫描信号 ϕ VN 的 AND 电路 8aa; 接受刷新指示信号 SELF 和刷新垂直扫描信号 ϕ VS 的 AND 电路 8ab; 以及接受 AND 电路 8aa 及 8ab 的输出信号生成垂直扫描信号 VCK 的 OR 电路 8ac.

选择电路 8b 包含有: 接受正常动作模式指示信号 NORM 和正常垂直扫描开始信号 STVN 的 AND 电路 8ba; 接受刷新指示信号 SELF 和刷新垂直扫描开始信号 STVS 的 AND 电路 8bb; 以及接受 AND 电路 8ba 及 8bb 的输出信号生成垂直时钟扫描开始信号 STV 的 OR 电路 8bc.

选择电路 8c 包含有: 接受正常动作模式指示信号 NORM 和正常禁止信号 INHVN 的 AND 电路 8ca; 接受刷新指示信号 SELF 和刷新禁止信号 INHVS 的 AND 电路 8cb; 以及接受 AND 电路 8ca 及 8cb 的输出信号生成禁止信号 INHV 的 OR 电路 8cc.

在示于此图 5 中的移位时钟切换电路 8 的构成中, 在正常动作模式时, 正常动作模式指示信号 NORM 为逻辑 H 电平, 刷新指示信号 SELF 为逻辑 L 电平. 所以, 按照从外部提供的正常垂直扫描信号 ϕ VN, 正常垂直扫描开始信号 STVN, 以及正常禁止信号 INHVN 生成垂直扫描信号 VCK, 垂直时钟扫描开始信号 STV, 以及禁止信号 INHV.

另一方面, 在刷新模式时, 正常动作模式指示信号 NORM 为逻辑 L 电平, 刷新指示信号 SELF 为逻辑 H 电平, 按照刷新垂直扫描信号 ϕ VS, 垂直扫描开始信号 STVS, 以及刷新禁止信号 INHVS 生成垂直

扫描信号 VCK, 垂直时钟扫描开始信号 STV, 以及禁止信号 INHV.

在示于此图 5 的构成中, 利用刷新控制电路 5, 在刷新模式时, 生成刷新垂直扫描信号 ϕVS 、垂直扫描开始信号 STVS、以及刷新禁止信号 INHVS.

图 6 为概略示出图 1 所示的垂直扫描电路 2 的构成的示图. 在图 6 中, 垂直扫描电路 2 包含有: 按照垂直扫描开始信号 STV, 对其选择输出进行初始化, 按照垂直扫描信号 VCK 执行移位动作, 将其输出顺序驱动进入选择状态的垂直移位寄存器 50; 以及包含对应于垂直移位寄存器 50 的各输出设置的缓冲器, 按照禁止信号 INHV, 顺序驱动垂直扫描信号(行选择信号)V1, V2, ...Vm 进入选择状态的缓冲电路 51.

此缓冲电路 51, 按照禁止信号 INHV, 禁止同时驱动垂直扫描信号进入选择状态. 就是说, 在此禁止信号 INHV 为逻辑 H 电平的激活状态时, 不管垂直移位寄存器 50 的输出信号如何, 其垂直扫描信号(行选择信号)全部为非选择状态, 如果此禁止信号 INHV 为逻辑 L 电平, 按照垂直移位寄存器 50 的输出信号驱动垂直扫描信号(行选择信号)进入选择状态. 下面对此图 1 至图 6 中示出的显示装置的动作予以说明.

首先, 参考图 7, 对正常动作模式时的图像数据的写入予以说明. 在正常动作模式时, 正常动作模式指示信号 NORM 为逻辑 H 电平, 另一方面, 刷新指示信号 SELF 为逻辑 L 电平. 在此状态中, 在示于图 5 的移位时钟切换电路 8 中, 按照来自外部的垂直扫描信号 ϕVN 、垂直扫描开始信号 STVN、以及正常禁止信号 INHVN, 生成垂直扫描信号 VCK、垂直扫描开始信号 STV、以及禁止信号 INHV. 按照此垂直扫描开始信号 STV 及正常垂直扫描开始信号 STVN, 在示于图 6 的垂直移位寄存器 50 中取得垂直扫描开始信号 STV, 按照下一个垂直扫描信号 VCK, 通过移位动作驱动先导行的选择信号进入选择状态. 因此, 此垂直扫描开始信号 STV 上升并在下一个循环中驱动垂直扫描信号 V1 进入选择状态, 之后, 按照垂直扫描信号 VCK, 垂直移位寄存器 50 执行移位动作, 顺序驱动垂直扫描信号 V1...Vm 进入选择状态.

此处，在图 7 中，示出以非隔行扫描方式选择扫描线的次序的一例。不过，也可以以隔行扫描方式扫描垂直扫描线。

在驱动垂直扫描信号 V1 进入选择状态时，左启用信号 LE 同样被驱动进入选择状态，在示于图 2 的切换电路 SG1 及 SG2 中，AND 电路 21 的输出信号按照水平扫描信号 H1, H2 ... 顺序驱动进入逻辑 H 电平，传输门 22 变成“通”状态，公用图像数据线 7，按照水平扫描信号 H1, H2 与左侧的内部数据信号线 DL1, DR1, ... 顺序连接。在像素 PX11, PX12 ... 中，抽样 TFT25 顺序变成“通”状态，连接此公用图像数据线 7 的传输门 22 顺序变成“通”状态，按照传输到图像数据线 7 上的图像数据 D，并按照水平扫描信号(列选择信号)H1, H2 对像素 PX11, PX21 ... 顺序写入。

左启用信号 LE 和右启用信号 RE，按照选择(垂直)扫描线驱动进入逻辑 H 电平。从而，偶数行的扫描线选择信号(行选择信号)V2 变为逻辑 H 电平，按照水平扫描信号 H1, H2，在切换电路 ST1, ST2 ... 中，按照 AND 电路 23 的输出信号传输门 24 导通，经公用图像数据线 7 传输的图像数据 D 传输到右侧的内部数据信号线 DR1, DR2 ...。在此状态中，在像素 PX21, PX22 ... 中，按照抽样 TFT25，取得图像数据，利用电压保持电容元件 26 保持所取得的电压。

在此正常动作模式时，刷新指示信号 SELF 为逻辑 L 电平，示于图 2 的隔离门 IG1, IG2 ... 全部处于非导通状态。由于不执行刷新动作，此刷新电路 6 处于非激活状态。此时，也可以采用使示于图 2 的预充电/均衡电路 PEQ 处于激活状态，互补信号线 CL 及 CR 分别保持中间电压 V 逻辑 L 电平。从而，通过使此预充电/均衡电路 PEQ 也处于非导通状态，不存在消耗中间电压 VM 的电路部分，可降低功率消耗。虽然信号线 CL 及 CR 变为浮动状态，由于隔离门 IG1, IG2 ... 全部处于非导通状态，对显示像素矩阵 1 的像素 PX 的像素数据信号的写入无任何不良影响。另一种办法是，也可以在正常动作模式时，使互补信号线 CL 及 CR 保持接地电压电平。

图 8 为示出图 6 所示的垂直扫描电路 2 的垂直移位寄存器 50 的输

出信号 SR 和缓冲电路 51 的输出信号(垂直扫描信号)V1 ...Vm 的关系的示图。如图 8 所示, 垂直移位寄存器 50, 按照垂直扫描时钟信号 VCK 执行移位动作, 从而, 垂直移位寄存器 50 的输出信号 SR1, SR2 在垂直扫描时钟信号 VCK 的一个时钟周期期间内为逻辑 H 电平。

禁止信号 INHV, 响应于垂直扫描时钟信号 VCK 的上升变为逻辑 H 电平, 在此期间, 缓冲电路 51 的所有的输出信号保持为逻辑 L 电平。于是, 禁止信号 INHV, 在逻辑 H 电平期间, 所有的垂直扫描信号 V1, V2 ...都为逻辑 L 电平。如禁止信号 INHV 下降为逻辑 L 电平, 缓冲电路 51, 按照垂直移位寄存器 50 的输出信号, 驱动垂直扫描信号 V1, V2 ...进入逻辑 H 电平。所以, 在此垂直扫描信号 VCK 上升, 垂直移位寄存器 50 执行移位动作时, 即使此垂直移位寄存器 50 的输出信号 SR1 及 SR2 一起为逻辑 H 电平的期间存在, 在此期间, 禁止信号 INHV 为逻辑 H 电平, 在来自缓冲电路 51 的垂直扫描信号 V1, ...Vm 中不产生多重选择, 可以将图像数据可靠地写入选择行(扫描线)的像素。

另外, 在图 2 所示的构成中, 按照水平扫描信号 H1, H2 ...以顺序方式将图像数据顺序写入与选择行相连接的像素。然而, 在不是此点顺序方式, 而是使用对选择行的像素同时写入图像数据信号的数据写入方式的场合, 代替水平扫描信号 H1, H2 ..., 提供写入时序信号, 在连接控制电路 4 中, 切换电路 SG(SG1, SG2 ...)全部同时变为导通状态。在此场合, 右启用信号 RE 及左启用信号 LE 也根据选择垂直扫描线是偶数行还是奇数行而激活。

下面, 参考图 9 对刷新模式时的动作予以说明。在此刷新模式时, 不对显示图像进行重写。只是在显示像素矩阵 1 中对各像素 PX 的保持电压进行复原, 即刷新。在此刷新模式时, 刷新指示信号 SELF, 设定为逻辑 H 电平, 正常动作模式指示信号 NORM 设定为逻辑 L 电平。因而, 在图 1 所示的连接控制电路 4 中, 切换电路 SG1, SG2 全部都为非导通状态, 图像数据线 7 和显示像素矩阵 1 分离。另一方面, 按照刷新指示信号 SELF, 图 2 所示的隔离门 IG(IG1, IG2 ...)变为导

通状态，互补信号线 CL 及 CR 连接到对应的内部数据信号线 DL 及 DR(DL1, DR1 …)。移位时钟切换电路 8，如图 6 所示，按照在内部生成的刷新扫描信号 ϕVS ，刷新扫描开始信号 STVS 及刷新禁止信号 INHVS 生成垂直扫描信号 VCK，垂直扫描开始信号 STV 及禁止信号 INHV。

在此扫描模式时，按照禁止信号 INHV 首先驱动预充电指示信号 ϕPE 以单稳脉冲形式进入逻辑 H 电平。相应地，在图 2 所示的预充电/均衡电路 PEQ 中，TFT34-36 导通，对应的信号线 CL 及 CR 预充电到中间电压 VM 电平并进行均衡。还按照此禁止信号 INHV 分别驱动读出放大器驱动信号 ϕP 及 ϕN 进入逻辑 L 电平及逻辑 H 电平，使读出放大器 SA 成为非激活。由此，经互补信号线 CL 及 CR，对内部数据信号线 DL 及 DR 预充电到中间电压 VM 电平并进行均衡。

接着，如果此预充电动作结束，就驱动来自垂直扫描电路 2 的垂直扫描信号 V(V1)进入选择状态，按照此垂直扫描信号 V1，一行的像素 PX(PX11, PX12 …)的抽样 TFT25 导通，保持于电压保持电容元件 26 的电压传输到对应的数据数据线 DL。相应地，信号线 CL 的电压电平，从预充电电压 VM 电平响应蓄积于电压保持元件中的保持电压电平而改变。此处，在图 9 中，分别示出存储于电压保持电容元件 26 中的电压电平的逻辑 H 电平和逻辑 L 电平两种场合。

在电压保持电容元件 26 中写入逻辑 H 电平的像素数据信号的场合，信号线 CL 的电压电平比预充电电压 VM 高，另一方面，在电压保持电容元件 26 中写入逻辑 L 电平的像素数据信号的场合，信号线 CL 的电压电平比预充电电压 VM 低。另一方面，对于信号线 CR，由于不与像素相连接，此信号线 CR 保持预充电电压 VM 电平。如信号线 CL 及 CR 的电压差足够大，读出放大器驱动信号 ϕN 及 ϕP 分别被驱动进入逻辑 L 电平及逻辑 H 电平，读出放大器 SA 激活，对信号线 CL 及 CR 的电位差进行差分放大并锁存。

互补信号线 CL 及 CR 的电压，传输到对应的内部数据信号线 DL 及 DR (DL1, DR1, DL2, DR2 …)，并且还经抽样 TFT 传输到电压

保持电容元件 26。于是,即使是在逻辑 H 电平的图像数据信号写入且其电压降低的场合,由于读出放大器 SA2 的读出动作,可重新再生逻辑 H 电平的数据电压电平而重写。在此刷新动作时,由于对一行像素同时执行存储像素数据信号的重写,不需要顺序驱动水平扫描信号 H1, H2 ...。移位时钟(垂直扫描时钟)信号 VCK 以预定的适当刷新周期生成。

之后,如果垂直扫描时钟信号 VCK 再变成逻辑 H 电平,禁止信号 INHV 在上升到逻辑 H 电平,读出放大器驱动信号 ϕN 及 ϕP 再次被驱动进入非激活状态并且在预定期间执行预充电动作,信号线 CL 及 CR 预充电并均衡到中间电压 VM 电平。由于隔离门 IG(IG1, IG2 ...)处于导通状态,内部数据信号线 DL(DL1, DL2)及 DR(DR1, DR2)也预充电到中间电压 VM。

之后,如果禁止信号 INHV 变为非激活状态,并且预充电指示信号 ϕPE 也变为非激活状态,按照来自缓冲电路的垂直扫描信号,下一行选择信号 V2 变为逻辑 H 电平,按照此垂直扫描信号 V2,执行对应选择行配置的像素 PX(PX21, PX22 ...)的保持电压的刷新。在此场合,像素 PX21, PX22 的抽样 TFT25 与内部数据信号线 DR(DR1, DR2 ...)相连接,对应像素的保持电压传输到内部数据信号线 DR 及信号线 CR 上。此时,信号线 CL 及数据数据线 DL,保持预充电电压 VM 电平,通过激活读出放大器 SA 使原来写入的像素数据再生而重新写入到像素 PS21, PS22 ...。

从而,互补信号线 CL 及 CR 与内部数据信号线 DL 及 DR 相连接,通过读出放大器 SA 进行差分放大。由于显示像素的保持电压只传输到互补信号线 CL 及 CR 一方,通过读出放大器 SA 的差动放大动作,可更准确地复原原来的写入电压电平而进行重写。

另外,在刷新动作时,由于没有必要选择任何列,右启用信号 RE 及左启用信号 LE 也可保持逻辑 L 电平。

图 10 为概略示出图 1 所示的刷新控制电路 5 与垂直扫描相关联的部分的构成的示图。在图 10 中,刷新控制电路 5 包含:在刷新指示信

号 SELF 激活时执行振荡动作的振荡电路 55; 对振荡电路 55 的输出信号 $\phi VS0$ 进行缓冲处理而生成刷新垂直扫描信号 ϕVS 的缓冲器 56; 响应振荡电路 55 的输出信号 $\phi VS0$ 的上升生成单稳脉冲信号并生成刷新禁止信号 INHVS 的单稳脉冲生成电路 57; 计数振荡电路 55 的输出信号 $\phi VS0$ 的, 比如, 上升的计数器 58; 响应计数器 58 的计数信号生成单稳脉冲信号的单稳脉冲生成电路 59; 响应刷新指示信号 SELF 的上升生成单稳脉冲信号的单稳脉冲生成电路 60; 接受单稳脉冲生成电路 59 及 60 的输出信号生成垂直扫描开始信号 STVS 的 OR 电路 61; 以及使刷新指示信号 SELF 反相生成正常动作模式指示信号 NORM 的反相器 62。

振荡电路 55 包含有: 在刷新指示信号 SELF 的激活时执行振荡动作的环形振荡器 55a、和通过使环形振荡器 55a 的输出信号反相并进行缓冲处理而生成输出信号 $\phi VS0$ 的反相器 55b。环形振荡器 55a 包含有在第一输入接受刷新指示信号 SELF 的 NAND 电路 NG 和偶数级的级联反相器 IV。这些偶数级的反相器的最后一级的反相器的输出信号施加到 NAND 电路 NG 的第二输出上。

图 11 为示出图 10 所示的刷新控制电路的动作的时序图。下面参考图 11 对图 10 所示的刷新控制电路 5 的动作予以简单说明。

在刷新指示信号 SELF 为逻辑 L 电平时, 振荡电路 55 处于非激活状态, 其输出信号 $\phi VS0$ 固定为逻辑 L 电平。所以, 在此刷新控制电路 5 中, 输出信号 $\phi VS0$ 、INHVS、以及 STVS 全部保持逻辑 L 电平。

另外, 由于反相器 62, 正常动作模式指示信号 NORM 为逻辑 H 电平, 对显示像素矩阵的像素执行像素数据信号的写入。

在只保持像素数据的场合, 刷新指示信号 SELF 被驱动进入逻辑 H 电平。如果刷新指示信号 SELF 为逻辑 H 电平, 在环形振荡器 55a 中 NAND 电路 NG 作为反相器动作, 环形振荡器 55a 开始振荡动作, 相应地从环形振荡器 55a 发出的输出信号 $\phi VS0$ 以环形振荡器 55a 具有的预定周期变化。响应于此刷新指示信号 SELF 的上升, 单稳脉冲生成电路 60 生成单稳脉冲信号 $\phi 1$, 相应地刷新垂直扫描开始指示信号

STVS 在预定期间变为逻辑 H 电平。当此垂直扫描开始指示信号 STVS 变为逻辑 H 电平,接着从缓冲器 56 发出的刷新垂直扫描时钟信号 ϕVS 变为逻辑 H 电平时,此垂直扫描开始信号 STVS 在垂直移位寄存器 50(参考图 6)中置位。在此状态中,单单只对垂直移位寄存器 50 进行初始设定,垂直移位寄存器 50 的输出信号全部为逻辑 L 电平。

如果从缓冲器 56 发出的刷新垂直扫描时钟信号 ϕVS 再上升为逻辑 H 电平,图 6 所示的垂直移位寄存器 50 执行移位动作,其初级的输出上升为逻辑 H 电平。另一方面,单稳脉冲生成电路 57,响应于此振荡电路 55 的输出信号 $\phi VS0$ 而生成在预定期间为逻辑 H 电平的刷新禁止信号 INHVS。如果此刷新禁止信号 INHVS 为逻辑 L 电平,从垂直扫描电路发出的垂直扫描信号(行选择信号)V1 被驱动为逻辑 H 电平。

计数器 58 执行计数动作,在计数此垂直扫描线数,对 m 条垂直扫描线的 m 个信号 $\phi VS0$ 的上升时,就输出计数信号。响应此计数器 158 的计数信号,单稳脉冲生成电路 59 生成单稳脉冲信号 $\phi 2$,相应地垂直扫描开始信号 STVS 再上升到逻辑 H 电平。之后,如振荡电路 55 的输出信号 $\phi VS0$ 上升到逻辑 H 电平,此垂直扫描开始信号 STVS,在垂直扫描寄存器中置位。在此状态中,在垂直扫描寄存器中,驱动对一帧的最后扫描线的垂直扫描信号 V_m 进入逻辑 H 电平。

之后,如果振荡电路 55 的输出信号 $\phi VS0$ 变为逻辑 H 电平,按照所取得的此刷新垂直扫描开始信号,对最初的扫描线的垂直扫描信号 V1 再上升到逻辑 H 电平。

因此,在计数器 58 中,在每次振荡电路 55 的输出信号 $\phi VS0$ 计数为 m 时生成单稳脉冲信号 $\phi 2$,在显示像素矩阵中,就可在全部垂直扫描线扫描之后生成垂直扫描开始信号 STVS。

因此,利用图 10 所示的构成,按照刷新指示信号 SELF,可在内部生成与垂直扫描相关联的信号。

另外,在此刷新时不需要水平扫描,在刷新控制电路 5 中不生成与水平扫描相关联的信号。在此状态中,单单将来自外部的与水平扫描相关联的信号 HCK 及 STH 及 INHH 全部固定为逻辑 L 电平,使水

平扫描停止,降低功率消耗。

图 12 为概略示出刷新控制电路 5 的控制刷新电路的部分的构成一例的示图。在图 12 中,刷新控制电路 5 包含:响应振荡电路 55(图 10)的输出信号 $\phi VS0$ 的上升,以具有一定的时间宽度的单稳脉冲信号的形式生成预充电指示信号 ϕPE 的单稳脉冲生成电路 65;通过响应输出信号 $\phi VS0$ 的上升而置位在其输出中生成读出放大器驱动信号 ϕN 的边沿触发型置位复位触发器 66;使读出放大器驱动信号 ϕN 延迟预定时间并将其输出信号供给边沿触发型置位复位触发器 66 复位输入 R 的延时电路 67;响应振荡信号 $\phi VS0$ 的上升而复位,并将其输出 Q 发出的读出放大器输出信号 ϕP 输出的边沿触发型置位复位触发器 68;以及使读出放大器输出信号 ϕP 延迟预定时间并将读出放大器输出信号 ϕP 反相输出的反相延时电路 69。反相延时电路 69 的输出信号供给边沿触发型置位复位触发器 68 的置位(set)输入。

图 13 为示出图 12 所示的刷新控制电路的动作的时序图。下面,参考图 13 所示的时序图对图 12 所示的刷新控制电路的动作予以简单说明。

如振荡信号 $\phi VS0$ 上升到逻辑 H 电平,单稳脉冲生成电路 65 生成单稳脉冲信号,相应地预充电/均衡指示信号 ϕPE 在预定时间变为逻辑 H 电平。此预充电/均衡指示信号 ϕPE 的时间宽度比刷新禁止信号 INHVS 的时间宽度短。就是说,在互补信号线及内部数据信号线的预充电/均衡动作结束之后,垂直扫描信号(行选择信号) Vi 被驱动进入选择状态。

另一方面,响应输出信号 $\phi VS0$ 的上升,置位复位触发器 66 置位,其输出 Q 发出的读出放大器驱动信号 ϕN 变为逻辑 H 电平。另外,边沿触发型置位复位触发器 68 置位,其输出 Q 发出的读出放大器驱动信号 ϕP 变为逻辑 L 电平。由此,图 2 所示的读出放大器读出放大器 SA 一同变为非激活状态。

此读出放大器驱动信号 ϕN 及 ϕP ,通常在垂直扫描信号(行选择信号) Vi 被驱动进入激活状态之后在预定期间保持非激活状态。读出放大

器驱动信号 ϕN 及 ϕP 的非激活期间,分别由延时电路67及69确定。如经过延时电路67具有的延迟时间,边沿触发型置位复位触发器66复位,其输出Q发出的读出放大器驱动信号 ϕN 变为逻辑L电平,包含在读出放大器SA中的N沟道TFT激活,互补信号线(内部数据线)的低电位的信号线放电成为接地电压电平。

另外,如经过延时电路69具有的延迟时间,边沿触发型置位复位触发器68,响应此反相延时电路69的输出信号的上升而置位,其输出Q发出的读出放大器驱动信号 ϕP 被驱动进入逻辑H电平。由此,由示于图2的读出放大器SA的P沟道TFT构成的P读出放大器激活,互补信号线的高电位的信号线被驱动进入逻辑H电平(比如电源电压电平)。

此动作可响应振荡信号 $\phi VS0$ 的上升而反复执行。

[变更例]

图14为概略示出本发明的实施方案1的变更例的构成的示图。在图14中,显示装置70包含有水平扫描电路3及垂直扫描电路2。对于此垂直扫描电路2,从外部的控制器或处理器提供垂直扫描时钟信号VCK、垂直扫描开始信号STV及禁止信号INH,而不论是正常动作模式及刷新模式。对水平扫描电路3,同样,也从外部的控制器或处理器提供水平扫描时钟信号HCK、水平扫描开始信号STH及禁止信号INH。

水平扫描电路3,由于在刷新模式时,无须选择水平扫描线,其内部包含的水平移位寄存器的移位动作可停止。因此,对于水平扫描电路3,设置有接受水平时钟信号HCK和正常动作模式指示信号NORM的AND电路71。此AND电路71的输出信号,作为对水平移位寄存器的移位时钟而提供。

在外部逻辑电路或处理器中,在正常动作模式及刷新模式中的任何一种中,在生成垂直扫描时钟信号VCK的场合,在扫描到一行像素的最终像素之后,为生成一个垂直扫描时钟信号VCK,通常,利用

计数器，将垂直扫描及水平扫描时钟信号相互联系起来。因此，在刷新模式中，也同样是利用外部逻辑电路或处理器，在生成垂直扫描信号 VCK 的场合，生成与水平扫描相关联的信号 HCK、ST1 及 INHH。利用此 AND 电路 71，在水平扫描电路 3 中，通过使水平移位寄存器的移位动作停止，可降低刷新时的功率消耗。

由于从外部对垂直扫描电路 2 提供垂直扫描信号 VCK、垂直扫描开始信号 SAV 及垂直禁止信号 INHV，无须设置图 1 所示的移位时钟切换电路 8，可减少电路占有面积。并且，在刷新控制电路中，也无须生成用于刷新用垂直扫描的控制信号，不需要图 10 所示的电路构成。仅仅要求按照来自外部的刷新指示信号 SELF 生成正常动作模式指示信号 NORM 而已。

[变更例 2]

图 15 为示出按照本发明实施方案 1 的变更例 2 的控制连接控制电路的部分的构成的一例的示图。在图 15 中，连接控制单元包含：接受来自外部的正常垂直扫描开始信号 STVN 和左启用信号 LE 的 OR 电路 80；按照来自外部的互补正常垂直扫描时钟信号 ϕ VN 选择性地导通，导通时使 OR 电路 80 的输出信号通过的传输门 81；使经过传输门 81 提供的信号反相的反相器 82；将反相器 82 的输出信号反相传输到反相器 82 的输入端的反相器 83；使反相器 82 的输出信号反相的反相器 84；按照来自外部的正常垂直扫描时钟信号 ϕ VN 导通，导通时使反相器 84 的输出信号通过生成右启用信号 RE 的传输门 85；以及将传输门 85 供给的信号反相生成左启用信号 LE 的反相器 86。下面参考图 16 所示的时序图对图 15 所示的连接控制单元的动作予以说明。

下面假设扫描线 V_{m-1} 为奇数扫描线，对应的图像元件连接到左侧内部数据信号线 DL，右启用信号 RE 为逻辑 L 电平，左启用信号 LE 为逻辑 H 电平。在正常垂直扫描时钟信号 ϕ VN 为逻辑 L 电平时，传输门 85 为非导通状态，传输门 81 为导通状态。在此状态中，如果正常垂直扫描开始信号 STVN 上升到逻辑 H 电平，OR 电路 80 的输出

逻辑 H 电平的信号经传输门 81 传输并由反相器 82 及反相器 83 锁存。

接着, 如果正常垂直扫描时钟信号 ϕVN 上升到逻辑 H 电平, 传输门 85 导通, 反相器 84 发出的逻辑 H 电平, 作为右启用信号 RE 输出, 另一方面, 由于反相器 86, 左启用信号 LE 变为逻辑 L 电平。因此, 最终扫描线 V_m 为偶数扫描线, 右启用信号 RE 激活, 图像数据写入到与右侧内部数据信号线 DR 相连接的像素元件。

如正常垂直扫描时钟信号 ϕVN 变为逻辑 L 电平, 传输门 81 导通, OR 电路 80 发出的逻辑 L 电平信号供给反相器 82。在此状态中, 传输门 85 处于非导通状态, 其输出信号 RE 及左启用信号 LE 的状态不改变。

接着, 如果正常垂直扫描时钟信号 ϕVN 再变为逻辑 H 电平, 传输门 85 导通, 反相器 84 发出的逻辑 L 电平信号, 作为右启用信号 RE 输出, 并且由于反相器 86, 左启用信号 LE 被驱动变为逻辑 H 电平。在此状态中, 互补垂直扫描信号 ϕVN 为逻辑 H 电平, 传输门 81 保持为非导通状态。因此, 在选择最初的垂直扫描线 V_1 时, 左启用信号 LE 为逻辑 H 电平, 右启用信号 RE 为逻辑 L 电平, 根据选择行, 内部数据信号线可连接到选择像素。

另外, 在此图 15 所示的构成中, 在扫描模式时, 在由外部提供垂直扫描时钟信号的场合, 与前面的图 14 所示的构成同样, 将接受正常动作模式指示信号 NORM 和来自外部的垂直扫描时钟信号 VCK 的 AND 电路的输出信号供给传输门 85, 另一方面, 传输门 81, 提供接受正常动作模式指示信号 NORM 和互补垂直扫描时钟信号 ϕVCK 的 AND 电路的输出信号。

另外, 在正常动作模式时这些右启用信号 RE 及左启用信号 LE 也可以从外部的处理器或控制器提供。在此场合不需要图 15 所示的电路。

另外, 在图 2 所示的配置中, 对应各像素列配置内部数据信号线, 这些内部数据信号线对的不同数据线与显示像素元件每行交替地连接。然而, 如图 17 所示, 构成为大致相同数目的像素与成对的数据信

号线 DL 和及 DR 相连接就可以, 比如, 上半部分的像素可作为像素群 PGA 与数据信号线 DL 相连接, 而下半部分的像素可作为像素群 PGB 与内部数据信号线 DR 相连接。因此, 不限定是像素每隔一行交替地与不同的数据信号线相连接的构成, 如图 17 所示, 构成可以是相同数目的像素与数据信号线对的各数据信号线相连接, 也可以是像素每两行与不同的内部数据信号线相连接。

如上所述, 根据本发明的实施方案 1, 其构成为对应于各像素列设置互补信号线对, 各像素的数据在信号线对的一方上读出, 由读出放大器进行差分放大, 放大后的数据再写入到原来的像素中, 从而无须从外部重写全部像素数据, 系统的规模和功率消耗可一同减小。

另外, 关于刷新时的对向电极的像素驱动电压 V_{cnt} , 由于不需要改变显示图像, 不需要特别改变其电极极性。

[实施方案 2]

图 18 为概略示出根据本发明的实施方案 2 的显示装置的主要部分的构成的示图。在图 18 中, 代表性地示出与一列像素相对应的部分的构成。互补内部数据信号线 DL_i 及 DR_i 与像素列相对应而配置。对于这些互补内部数据信号线 DL_i 及 DR_i , 像素 $PX1_i$ 及 $PX2_i$ 每行交替连接。不过, 其构成可以是此内部数据信号线 DL_i 及 DR_i 与相同数目的像素相连接, 并不一定要像素每行交替地与内部数据信号线 DL_i 及 DR_i 相连接。

公用图像数据总线具有用来传输互补图像数据 D 及 \bar{D} 的互补图像数据线 97 及 98。

在连接控制电路 4 中, 在切换电路 SG1 中设置有接受正常动作模式指示信号 NORM 和水平扫描信号 H_i 的 AND 电路 90。根据此 AND 电路 90 的输出信号, 传输门 22 及 24 导通, 内部数据信号线 DL_i 及 DR_i 分别与互补图像数据线 97 及 98 相连接。此内部数据信号线 DL_i 及 DR_i 和互补图像数据线 97 及 98 的连接, 与在其他的像素列中一样, 是唯一确定的。

为了在互补图像数据线 97 及 98 上生成互补像素数据信号 D 及/D, 设置接受右启用信号 RE 和像素数据信号 PD 的 EXOR 电路 95 及使 EXOR 电路 95 的输出信号反相的反相器 96. EXOR 电路 95 驱动图像数据线 97, 反相器 96 驱动图像数据线 98.

在显示像素矩阵 1 中, 对应于各像素 PX 配置基准单元 RX. 这些基准单元 RX, 连接到对应的像素连接的内部数据线和组成对的内部数据线. 在图 18 中, 在同一行中, 与像素 PX1i 邻接配置基准单元 RX1i, 对像素 PX2i 配置基准单元 RX2i. 这些基准单元 RX(RX1i, RX2i), 存放对应的像素 PX(PX1i, PX2i)的保持电压(写入像素数据信号)和互补电压信号.

基准单元 RX(RX1i, RX2i)包含: 响应对应的垂直扫描信号(行选择信号)V(V1, V2)而导通的基准晶体管 100; 以及保持经过此基准晶体管(TFT)100 供给的电压的基准电容元件 101. 此基准电容元件 101 的另一个电极节点与公用电极相连接, 接受公用电极电压 Vcom.

基准单元 RX 的配置使各像素组成对, 在内部数据信号线 DLi 及 DRi 上读出像素 PX 及基准单元 RX 的数据. 由于在这些像素 PX 及基准单元 RX 上存放互补像素数据信号, 在刷新时, 与只读出像素 PX 的保持电压的场合相比较, 在内部数据信号线 DLi 及 DRi 上出现的信号电压差可以更大, 刷新周期可以更长.

在图 18 所示的构成中, 其他的构成与图 2 所示的构成相同, 所以对相应部分赋予同样的标号, 其详细说明省略.

在正常动作模式中, 正常动作模式指示信号 NORM 为逻辑 H 电平, 切换电路 SG1, 响应于水平扫描信号(列选择信号)Hi 导通, 内部数据信号线 DLi 及 DRi 分别与公用图像数据线 97 及 98 相连接.

下面, 考虑垂直扫描信号(行选择信号)V1 被驱动进入选择状态的场合. 在此场合, 右启用信号 RE 为逻辑 L 电平, EXOR 电路 95 作为缓冲电路动作, 按照来自外部的像素数据信号 PD 生成内部像素数据信号 D. 反相器 96, 使此内部像素数据信号 D 反相, 生成互补像素数据信号/D. 现在, 由于垂直扫描信号 V1 为选择状态, 数据信号 D 经

切换电路 SG1 提供给像素 PX1i, 另一方面, 对基准单元 RX1i, 提供互补数据信号/D, 互补电压信号传输到这些电容元件 26 及 101 上存储。

另一方面, 在垂直扫描信号 V2 驱动进入选择状态的场合, 右启用信号 RE 变为逻辑 H 电平, EXOR 电路 95 作为反相器动作。于是, 在此场合, 相对于像素数据信号 PD, 互补像素数据信号/D 供给公用像素数据线 97, 而对公用图像数据线 98 提供与原来的像素数据信号 PD 相对应的内部像素数据信号 D。

在此状态中, 如果水平扫描信号 Hi 被驱动进入选择状态, 像素数据信号 D/及 D 传输到内部数据信号线 DLi 及 DRi。在像素 PX2i 中, 经抽样 TFT25, 对其内部的电压保持电容元件 26 写入与原来的图像数据 PD 相对应的图像数据信号, 互补像素数据信号 D/传输到基准单元 RX2i 上存储。

因此, 根据选择行的位置, 由于原来的像素数据信号 PD 的逻辑改变, 永远可对像素 PX(PX1i, PX2i)写入与原来的像素数据信号 PD 相对应的像素数据信号 D, 可将各像素设定为与像素数据信号相对应的状态。

在刷新模式时, 正常动作模式指示信号 NORM 为逻辑 L 电平, AND 电路 90 的输出信号变为逻辑 L 电平, 切换电路 SG1 变为非导通状态, 内部数据信号线 DLi 及 DRi 与公用图像数据线 97 及 98 分离。在此状态中, 与实施方案 1 一样, 由刷新电路 6 执行刷新。

像素 PX 及基准单元 RX 的电容 26 及 101 具有相同的电容值, 写入数据为逻辑 H 电平及逻辑 L 电平的二值数据。所以, 在此刷新时, 对于预充电到中间 VM 电平的信号线 CL 及 CR, 传输同样大小的读出电压 ΔV 。只是读出电压 ΔV 的符号不同。所以, 如图 19 所示, 信号线 CL 及 CR 的电压差为 $2 \cdot \Delta V$, 与经过内部数据信号线只将像素与互补信号线 CL 及 CR 相连接的构成相比, 可使读出电压等价增加而可加大读出放大器 SA 的读出界限。

这一点, 反过来说, 意味着, 即使加长刷新间隔, 直到信号线 CL 及 CR 的电压差变成为 ΔV 为止, 可进行稳定的读出动作。即使像素

PX 的保持电压电平降低, 互补信号线 CL 及 CR 的电压差超过读出界限, 读出放大器 SA 也可以稳定地执行读出动作。因此, 像素的逻辑 H 电平的保持电压, 在液晶驱动单元 27 的像素驱动 TFT 的阈值以上的期间, 通过执行刷新, 可以不产生闪烁等可靠地复原保持电压。因此, 可充分延长刷新间隔, 可减少单位时间的刷新次数, 可大幅度降低刷新所需要的功率消耗。

另外, 在此图 18 所示的构成中也示出, 通过顺序地、按照水平扫描信号选择选择行的像素, 将像素数据信号写入选择像素的点顺序方式。可是, 对选择行, 一次、同时将像素数据信号写入一行的像素, 也可获得同样的效果。

[变更例]

图 20 为示出本发明的实施方案 2 的变更例的示图。在此图 20 中示出将内部像素数据信号 PD 及/PD 传输到公用图像数据线 97 及 98 的信号切换单元的构成。在图 20 中, 切换单元包含: 在左启用信号 LE 激活时导通将像素数据信号 PD 及/PD 分别传输到公用图像数据线 97 及 98 的传输门 110 及 111; 以及在右启用信号 RE 激活时导通将像素数据信号 PD 及/PD 分别传输到公用图像数据线 97 及 98 的传输门 112 及 113。

在此图 20 中示出的构成中, 在右启用信号 RE 为激活状态时, 像素数据信号 PD 传输到图像数据线 98, 互补像素数据信号/PD 传输到图像数据线 97。所以, 在选择偶数行的场合, 此图像数据线 98, 为了连接到右侧的数据信号线 DR, 可将像素数据信号 PD 传输到各像素。

另一方面, 在选择奇数行左启用信号 LE 为激活状态时, 像素数据信号 PD 及/PD 分别传输到图像数据线 97 及 98。在此左启用信号 LE 为激活状态时, 图像数据线 97 连接到左侧数据信号线 DL, 像素数据信号传输到对应的像素。

因此, 利用这种根据选择行的位置进行通路切换的构成, 也可以准确地将像素数据信号 PD 写入各像素, 并且可将互补像素数据/PD

写入基准单元 RX.

如上所述, 根据本发明的实施方案 2, 对于数据信号线对, 对各像素, 将存放互补像素数据信号的基准单元 RX 成对配置, 并且其构成使互补像素数据信号传输到各数据信号线对, 在刷新时的信号线上读出的电压差可很大, 刷新间隔可以相应地延长。

[实施方案 3]

图 21 为概略示出根据本发明的实施方案 3 的显示装置的主要部分的构成的示图。在图 21 中, 代表性地示出一列像素 PX 的构成。在此图 21 所示的构成中, 接受测试启用信号 TE 和刷新指示信号 SELF 的输出信号供给隔离门 IG。就是说, 此隔离门 IG, 在刷新模式时及测试模式时变为导通, 内部数据信号线 DL 及 DR 分别连接到互补信号线 CL 及 CR。对此信号线 CL 及 CR 设置读出放大器 SA 及预充电/均衡电路 PEQ。

在此实施方案 3 中, 对信号线 CL 及 CR 还设置有根据水平扫描信号 Hi 合测试启用信号 TE 选择性地激活, 在激活时将这些互补信号线 CL 及 CR 的数据读出传输到公用数据总线 122 的读出门 120。从此读出门 120 经公用数据总线 122 传输的信号经输出电路 124 输出到外部。

就是说, 根据由读出放大器 SA 放大的互补信号线 CL 及 CR 的信号, 驱动读出门 120, 在公用总线 122 上在内部读出各像素的数据。利用输出电路 124, 对此公用总线 122 上的数据进行缓冲处理, 比如变换为 CMOS 电平的信号, 作为外部像素数据 Dout 输出。于是, 在像素 PX 的保持电压小的场合, 也可以经输出电路 124 将, 比如, CMOS 电平的信号 Dout 输出。由此, 可利用普通的 LSI 测试仪简单地判断显示像素的动作的良/不良。

图 22 为示出读出门的具体构成的一例的示图。读出门 120 与互补信号线 CL 及 CR 分别对应设置, 根据水平扫描信号(列选择信号)H 激活(测试模式时)。在图 22 中具体示出对互补信号线 CL_i 及 CR_i 设置的读出门 120_i 的构成要素。对各像素列, 配置有与此读出门 120_i 同样构

成的读出门。在图 22 中, 作为另外的列的构成, 代表性地示出对互补信号线 CLi 及 CRi 配置的读出门 120j。

在图 22 中, 读出门 120i 包含: 各个信号线分别与信号线 CLi 及 CRi 相连接的 N 沟道 TFT 130 及 131; 接受测试启用信号 TE 及水平扫描信号 Hi 的 AND 电路 134; 以及在 AND 电路 134 的输出信号为逻辑 H 电平时导通, TFT 130 及 131 分别与内部公用数据线 122a 及 122b 相连接的 N 沟道 TFT 132 及 133。

对公用数据线 122a 及 122b 设置有预充电电路 125。此预充电电路 125, 在止信号 INHH 为逻辑 H 电平时激活, 将公用数据线 122a 及 122b 分别预充电到电源电压 VCC 电平。

在读出门 120i 中, TFT 130 及 131 构成“异”门, 根据信号线 CL 及 CR 的电压电平, 驱动公用数据线 122a 及 122b 的一方为逻辑 L 电平(接地电压电平)。在信号线 CL 及 CR 中, 利用读出放大器 SA, 生成幅度为电源电压电平的互补信号, 可充分地改变公用数据线 122a 及 122b 的电压电平。通过由预充电电路 125 预充电达到电源电压 VCC 电平的公用数据线 122a 及 122b 的一方被驱动进入逻辑 L 电平, 读出内部像素数据, 利用输出电路 124, 对读出的像素数据进行缓冲处理, 比如输出 CMOS 电平的信号。

在利用肉眼目视判断液晶元件的动作好坏的液晶显示状态的场合, 由于是由人来判断好坏, 其判断精度差别很大并且判断需要的时间长。另一方面, 在直接读出蓄积于像素 PX 中的微小电压的场合, 必须在外部设置低电容的数据读出电路来读出微小电压, 增加测试成本。在利用大电容电路读出像素的保持电压的场合, 由于电荷的移动微小电压变得更小, 不能准确地读出保持电压。

如此图 22 所示, 互补数据信号线的数据经读出门 120 读出到公用数据总线 122 上时, 通过利用输出电路 124 放大输出到外部, 可将通常的逻辑电平的输出信号 Dout 输出到外部, 可利用普通的 LSI 测试仪简单地判断显示像素的好坏。

图 23 为概略示出测试控制单元的构成的示图。在图 23 中, 测试

控制单元包含：接受测试启用信号 TE 和来自外部的正常垂直扫描时钟信号 ϕVN 的 AND 电路 140；接受在刷新控制单元内部生成的振荡信号 ϕVSO 和 AND 电路 140 的输出信号的 OR 电路 141；以及根据 OR 电路 141 的输出信号生成刷新控制信号 ϕPE 、 ϕP 及 ϕN 的读出相关刷新控制电路 142。此读出相关刷新控制电路 142，与示于图 12 的构成对应，生成预充电/均衡指示信号 ϕPE 及读出放大器驱动信号 ϕP 及 ϕN 。

在测试动作时，根据来自外部的垂直扫描时钟信号及水平扫描时钟信号选择像素。在内部，在利用刷新控制电路选择像素的场合，由于不能指定选择像素的位置，为了指定此选择像素的位置，利用外部的测试仪等等，使用垂直扫描时钟信号 ϕVN 及水平扫描时钟信号 ϕHN 选择像素。

读出相关刷新控制电路 142，利用 OR 电路 141 的输出信号代替示于图 12 的振荡信号 ϕVSO ，在预定的定时，生成预充电/均衡信号 ϕPE ，读出放大器驱动信号 ϕP 及读出放大器驱动信号 ϕN 。

在读出放大器输出信号 ϕP 及 ϕN 成为激活状态之后，利用外部的测试仪等等，按照水平扫描时钟信号，水平扫描信号顺序激活，读出像素数据。

图 24 为示出在此测试仪动作时读出像素数据时的动作时序图。下面，参考图 21 及 22 示出的电路的动作予以简单说明。

在测试模式时，图 21 所示的隔离门 IG 导通，内部数据信号线 DL 及 DR 与互补信号线 CL 及 CR 连接。按照来自外部的垂直扫描时钟信号 ϕVN ，改变图 23 所示的 AND 电路 140 的输出信号，相应地，读出相关刷新控制电路 142 分别在预定的定时激活或去激活预充电/均衡信号 ϕPE ，读出放大器驱动信号 ϕN 及 ϕP 。按照读出放大器驱动信号 ϕP 及 ϕN ，图 21 及图 22 所示的读出放大器 SA 执行读出动作，锁存信号线 CL 及 CR 的信号电压。之后，供给水平扫描时钟信号，按照水平扫描信号 H(Hi, Hj)，执行列(水平扫描线)的选择动作。按照禁止信号 INHH 预充电电路 125 将公用数据总线 122 预充电到电源电压电平。

由读出放大器 SA 锁存的一行像素数据,按照水平扫描信号 $H(H_i, H_j)$, 顺序地在数据线上经读出门 120(120i, 120j)读出。之后, 公用数据总线 122 上的内部读出数据经输出电路 124 输出到外部。另外, 在此测试动作时, 与公用图像数据线相连接的连接控制电路保持非导通状态。水平扫描信号 H_i, H_j 从图 1 等图中所示的水平扫描电路 3 输出。

另外, 也可以利用将公用数据线 122a 及 122b 分别拉起到电源电压 VCC 电平的上拉电路(pull-up circuit)代替预充电电路 125。

[变更例]

图 25 为概略示出本发明的实施方案 3 的变更例 1 的构成的示图。在此图 25 中, 对内部数据信号线 DL 及 DR, 设置有助于传输互补数据的内部图像数据线 97 及 98。切换电路 SG_i 及 SG_j , 具有与图 18 所示的切换电路相同的构成。对此内部图像数据线 97 及 98, 设置有响应水平扫描时钟信号/HCK 和测试启用信号 TE 的逻辑积而激活, 对此内部图像数据线 97 及 98 的电压进行差分放大的主放大器 150; 以及对主放大器 150 的内部读出数据进行缓冲处理输出到外部的输出电路 152。其他的构成, 除了隔离门 IG_i 及 IG_j 响应测试启用信号 TE 变为导通状态这一点以外, 与示于图 18 的构成相同。

在示于图 25 的构成中, 切换电路 SG_i 及 SG_j , 在测试模式时响应水平扫描信号 H_i 及 H_j 变为导通状态, 由读出放大器 SA 放大的数据读出到公用图像数据线 97 及 98。主放大器 150, 在水平扫描时钟信号/HCK 外逻辑 L 电平时激活, 读出到此内部图像数据线 97 及 98 的数据被放大并将该放大的内部读出数据供给输出电路 152。

读出放大器 SA 具有比较大的驱动力, 可在内部图像数据线 97 及 98 中生成比较大的电压差。在此内部图像数据线 97 及 98 中生成的电压差通过主放大器 150 的放大, 不单独设置读出门, 可向外部读出各像素 PX 的保持电压。

在此图 25 的构成中, 作为在测试模式时使刷新电路动作的构成, 可利用图 23 所示的构成。如果正常动作模式指示信号 NORM, 在测

试启用信号 TE 的激活时设定为逻辑 H 电平的激活状态, 可进行行及列(垂直扫描线及水平扫描线)的选择。

[变更例 2]

图 26 为概略示出本发明的实施方案 3 的变更例 2 的构成的示图。在此图 26 中, 切换电路 SGi 及 SGj, 具有与图 2 所示的构成同样的构成。在测试模式时, 正常动作模式指示信号 NORM 保持逻辑 H 电平的激活状态, 数据信号线 DL 及 DR 的一方根据右启用信号 RE 及左启用信号 LE 与内部图像数据线 7 相连接。在读出放大器 SA 为激活状态时, 这些内部数据信号线 DL 及 DR 分别被驱动为电源电压或接地电压电平。所以, 在测试模式时, 利用切换电路 SGi 及 SGj, 通过由水平扫描信号 Hi 及 Hj 将对应的 SA 与内部图像数据线 7 相连接可在内部数据线 7 上生成比较大的电压变化。

主放大器 154, 对基准电压 Vref 和内部图像数据线 7 上的信号进行比较并按照该比较结果生成内部数据供给输出电路 152。内部图像数据线 7, 在测试模式时, 在预充电到电源电压 VCC 电平の場合, 作为基准电压 Vref, 可使用较电源电压 VCC 稍微低一些的电压电平的电压。在逻辑 H 电平及逻辑 L 电平的读出放大器的锁存数据传输到此内部图像数据线 7 の場合, 内部图像数据线 7 变为较基准电压 Vref 高的电压电平或较基准电压 Vref 低的电压电平。

关于基准电压 Vref, 在读出放大器 SA 与内部图像数据线 7 相连接时, 可根据在此内部图像数据线 7 上生成的电压变化量确定电压电平, 也可以是内部图像数据线 7 的逻辑 H 电平和逻辑 L 电平之间的电压。

在此图 26 的构成中, 其他的构成与图 2 所示的构成相同。在测试模式时也可由刷新电路执行刷新。

如上所述, 如果按照本发明的实施方案 3, 其构成为利用由互补数据信号线的读出放大器锁存的信号, 生成内部读出数据, 按照此内部读出数据驱动输出电路向外部读出, 则可将像素 PX 的微小保持电

压放大传输到外部，就可以利用普通的 LSI 测试仪识别各像素的保持电压。

[实施方案 4]

图 27 为概略示出根据本发明的实施方案 4 的显示装置的主要部分的构成的示图。在图 27 中代表性地示出 2 行 4 列配置的像素。与像素列分别相对应地配置内部数据信号线 D1、D2、D3、D4…。与这些数据信号线 D1-D4 分别对应设置有选择门 TQ1- TQ4。与这些选择门 TQ1- TQ4 分别相对应设置有接受和正常动作模式指示信号 NORM 对应的水平扫描选择信号 H1 - H4 的 AND 电路 GQ1 - GQ4。选择门 TQ1- TQ4 在对应的 AND 电路 GQ1 - GQ4 的输出信号为逻辑 H 电平时导通，导通时对应的内部数据信号线 D1 - D4 与内部图像数据线 7 相连接。

与内部数据信号线 D1 及 D2 相对应设置有隔离门 ID1，与内部数据信号线 D3 及 D4 相对应设置有隔离门 ID2。这些内部数据信号线 D1 及 D2，经隔离门 ID1 与互补信号线 C1 及 C2 相连接，内部数据信号线 D3 及 D4，经隔离门 ID2 与互补信号线 C3 及 C4 相连接。与这些互补信号线 C1 及 C2 相对应设置有读出放大器 SA1，与互补信号线 C3 及 C4 相对应设置有读出放大器 SA2。

与排列为第一行配置的像素 PX11- PX14 相对应设置有接受奇数扫描线指示信号 VO 及垂直扫描信号 V1 的 AND 电路 GAO1 和接受偶数垂直扫描线指示信号 VE 及垂直扫描信号 V1 的 AND 电路 GAE1。从 AND 电路 GAO1 输出垂直扫描信号 V1O，从 AND 电路 GAE1 输出垂直扫描信号 V1E。

对奇数列的像素 PX11，PX13 供给奇数扫描信号 V1O，对偶数列的像素 PX12，PX14 供给偶数扫描信号 V1E。

与排列为第二行配置的像素 PX21- PX24 相对应设置有接受垂直扫描信号 V2 及奇数扫描线指示信号 VO 的 AND 电路 GAO2 和接受偶数垂直扫描线指示信号 VE 及垂直扫描信号 V2 的 AND 电路 GAE2。

从 AND 电路 GAO2 输出垂直扫描信号 V2O, 从 AND 电路 GAE2 输出垂直扫描信号 V2E. 对奇数列的像素 PX21, PX23 供给奇数扫描信号 V2O, 对偶数列的像素 PX22, PX24 供给偶数扫描信号 V2E.

在这些像素 PX11-PX14 及像素 PX21-PX24 中, 在内部配置的抽样 TFT 分别接受对应的垂直扫描信号.

在正常动作模式时, 正常动作模式指示信号 NORM 为逻辑 H 电平, AND 电路 GQ1 - GQ4 启用, 根据水平扫描信号 H1-H4, 顺序输出逻辑 H 电平的信号(点顺序扫描方式的场合). 选择门 TQ1- TQ4, 在对应的 AND 电路 GQ1 - GQ4 的输出信号为逻辑 H 电平时导通, 将对应的数据信号线 D1-D4 与内部公用图像数据线 7 相连接. 隔离门 IG 保持非导通状态.

另一方面, 垂直扫描线指示信号 VO 及偶数垂直扫描线指示信号 VE 在正常动作模式时都设定为逻辑 H 电平. 因此, 如垂直扫描信号 V1 上升为逻辑 H 电平, 垂直扫描信号 V1O 及 V1E 都变为逻辑 H 电平, 排列为第一行配置的像素 PX11-PX14 的抽样 TFT 全部导通, 按照水平扫描信号 H1-H4, 图像数据信号写入各像素.

另一方面, 在刷新模式时, 正常动作模式指示信号 NORM 为逻辑 L 电平, AND 电路 GQ1 - GQ4 的输出信号为逻辑 L 电平, 选择门 TQ1-TQ4 保持非导通状态. 另一方面, 隔离门 IG1, IG2 导通, 内部数据信号线 D1 及 D2 与互补信号线 C1 及 C2 相连接, 内部数据信号线 D3 及 D4 与互补信号线 C3 及 C4 相连接.

在刷新模式时, 垂直扫描指示信号 VO 及 VE, 交替地驱动为逻辑 H 电平. 因此, 比如, 在垂直扫描信号 V1 驱动为逻辑 H 电平时, 如果垂直扫描指示信号 VO 为逻辑 H 电平, 垂直扫描信号 V1O 为逻辑 H 电平. 另一方面, 偶数垂直扫描指示信号 VE 保持为逻辑 L 电平, 垂直扫描信号 V1E 为逻辑 L 电平. 因此, 在此状态中, 奇数列的像素 PX11 及 PX13 的抽样 TFT 导通, 内部的电压保持电容元件与内部数据信号线 D1 及 D3 相连接, 另一方面, 像素 PX12 及 PX14 的抽样 TFT 为非导通状态. 因此, 在此状态中, 图像数据信号传输到互补信

号线 C1 及 C3, 由读出放大器 SA1 及 SA2 执行读出动作, 该放大的像素数据信号再写入到对应的像素 PX11 及 像素 PX13。

另一方面, 如偶数扫描指示信号 VE 为逻辑 L 电平, 奇数扫描指示信号 VO 为逻辑 L 电平, 垂直扫描信号 V1E 为逻辑 L 电平, 垂直扫描信号 V1O 为逻辑 L 电平。在此状态中, 像素 PX11 及 PX13 发出的内部保持电压传输到内部数据信号线 D1 及 D3, 另一方面, 内部数据信号线 D1 及 D3 不传输像素 PX11 及 PX13 发出的内部保持电压, 保持预充电电压电平。通过激活读出放大器 SA1 及 SA2, 复原像素 PX12 及 PX14 的保持电压, 可再写入到原来的像素 PX12 及 PX14。

因此, 在图 27 示出的构成的场合, 对应像素列只配置一根内部数据信号线, 不需要对应各像素列配置内部数据信号线, 可减少配线布局面积, 可减少显示像素矩阵的占有面积。

图 28 为示出生成垂直扫描指示信号 VO 及 VE 的部分的构成的一例的示图。在图 28 中, 垂直扫描指示信号生成单元包含: 将垂直扫描开始信号 STVS 延迟图 10 所示的振荡电路的振荡信号 ϕ VSO 的一个时钟周期的 1 时钟延时电路 160; 按照 1 时钟延时电路 160 的输出信号使其输出状态改变的双稳触发器 162; 接受来自双稳触发器 162 的输出 Q 的信号和正常动作模式指示信号 NORM 而输出奇数垂直扫描指示信号 VO 的 OR 电路 164; 以及接受来自双稳触发器 162 的输出/Q 的信号和正常动作模式指示信号 NORM 而输出偶数垂直扫描指示信号 VE 的 OR 电路 165。

双稳触发器 162, 响应复位信号 RST 的上升而初始化。此复位信号 RST 是在电源投入时及系统复位时生成的复位信号及响应刷新指示信号 SELF 的上升以单稳脉冲形式生成的复位信号。

图 29 为示出图 28 所示的电路的动作的时序图。下面参考图 29 对图 28 所示的电路的动作予以简单说明。

如果刷新指示信号 SELF 上升为逻辑 H 电平, 按照图 10 所示的刷新控制电路, 垂直扫描开始信号 STVS 上升为逻辑 H 电平, 垂直扫描寄存器置位。复位信号 RST 上升为逻辑 H 电平, 双稳触发器 162

复位,其说出 Q 设定为逻辑 L 电平,输出/Q 设定为逻辑 H 电平。

之后,如果 1 时钟延时电路 160 的延迟输出信号 DS 比较此垂直扫描开始信号 STVS 延迟 1 个时钟周期,则双稳触发器 162 的输出状态改变,输出 Q 变为逻辑 H 电平,输出/Q 变为逻辑 L 电平。正常动作模式指示信号 NORM,在刷新模式时为逻辑 L 电平,因此,奇数垂直扫描指示信号 VO 变为逻辑 H 电平,偶数垂直扫描指示信号 VE 变为逻辑 L 电平。如果垂直扫描信号 V1 为逻辑 H 电平,按照奇数垂直扫描指示信号 VO,垂直扫描信号 V1O 为逻辑 H 电平。

之后在内部执行件数动作,一直到各垂直扫描线扫描结束,此信号 VO 保持逻辑 H 电平,另一方面,信号 VE 保持逻辑 L 电平。如果最后的扫描线 Vm 扫描结束,再按照垂直扫描开始信号 STVS,1 时钟延时电路 160 的输出延迟信号 DS 变为逻辑 H 电平,双稳触发器 162 的状态改变,奇数垂直扫描指示信号 VO 变为逻辑 L 电平,偶数垂直扫描线指示信号 VE 变为逻辑 H 电平。因此,这次,按照垂直扫描信号 V1,图 27 所示的垂直扫描信号 V1E 变为逻辑 H 电平。

因此,在各时钟周期中,对排列为一行的像素中的一半像素执行刷新,在一帧的垂直扫描线扫描结束后,在下一帧期间对剩下的一半像素执行刷新。刷新间隔与同时刷新一行全部像素的构成比较更短,由于同时动作的读出放大器数目减半(一个读出放大器对两行像素),刷新时的电流减小,可降低功率消耗。

[变更例]

图 30 为概略示出根据本发明的实施方案 4 的刷新控制电路的构成的示图。在图 30 中,刷新控制电路包含:使振荡信号 ϕVSO 反相的反相器 170;响应振荡信号 ϕVSO 的上升生成单稳脉冲信号的单稳脉冲信号生成电路 171;响应反相器 170 的输出信号的上升生成单稳脉冲信号的单稳脉冲信号生成电路 172;接受单稳脉冲信号生成电路 171 及单稳脉冲信号生成电路 172 的输出信号生成刷新禁止信号 INHVS 的 OR 电路 173;响应 OR 电路 173 的输出信号的上升而置位使预充电/

均衡信号 ϕ_{PE} 从其输出 Q 输出的置位/复位触发器 174; 将预充电/均衡指示信号 ϕ_{PE} 延迟预定时间使置位/复位触发器 174 复位的延时电路 175; 响应刷新禁止信号 INHVS 的上升而置位并且从其输出 Q 生成读出放大器驱动信号 ϕ_N 的置位/复位触发器 176; 将读出放大器驱动信号 ϕ_N 延迟预定时间输出使置位/复位触发器 176 复位的延时电路 177; 响应刷新禁止信号 INHVS 的上升而置位且从其输出 Q 输出读出放大器驱动信号 ϕ_P 的置位/复位触发器 178; 以及将读出放大器驱动信号 ϕ_P 延迟预定时间且反相输出使置位/复位触发器 178 复位的延时电路 179. 置位/复位触发器 178 响应延时电路 179 的输出信号的上升而置位。

在此图 30 所示的刷新控制电路的构成中, 响应振荡信号 ϕ_{VSO} 的上升刷新禁止信号 INHVS 在预定期间激活。相应地, 预充电/均衡指示信号 ϕ_{PE} 在预定期间激活, 并且读出放大器驱动信号 ϕ_N 及 ϕ_P 在预定期间激活。因此, 在振荡信号 ϕ_{VSO} 的一个周期期间内读出动作进行两次。

图 31 为示出生成奇数及偶数垂直扫描指示信号 VO 及 VE 的部分的构成的示图。在图 31 中, 垂直扫描指示信号生成单元包含: 接受振荡信号 ϕ_{VSO} 的反相器 180; 接受振荡信号 ϕ_{VSO} 和正常动作模式指示信号 NORM 而输出偶数扫描指示信号 VE 的 OR 电路 181; 以及接受反相器 180 的输出信号和正常动作模式指示信号 NORM 而生成偶数扫描指示信号 VE 的 OR 电路 182。在刷新模式时, 在振荡信号 ϕ_{VSO} 为逻辑 H 电平期间, 奇数扫描指示信号 VO 变为逻辑 H 电平, 另一方面, 在振荡信号 ϕ_{VSO} 为逻辑 L 电平期间, 偶数扫描指示信号 VE 变为逻辑 H 电平。

下面, 参考图 32 所示的时序图对图 30 及图 31 所示的电路的动作予以说明。

如果振荡信号 ϕ_{VSO} 上升为逻辑 H 电平, 单稳脉冲信号生成电路 171 生成单稳脉冲信号, 相应地从 OR 电路 173 发出的刷新禁止信号 INHVS 变为逻辑 H 电平。响应此刷新禁止信号 INHVS 的上升, 置位/复位触发器 174 置位且预充电/均衡指示信号 ϕ_{PE} 在预定期间变为逻辑

辑 H 电平。并且, 置位/复位触发器 176 置位, 读出放大器驱动信号 ϕN 去激活, 且置位/复位触发器 178 复位, 读出放大器驱动信号 ϕP 变为逻辑 L 电平而成为去激活状态。响应此刷新禁止信号 INHVS 的上升, 选择行的垂直扫描信号 V_i 一次驱动进入非选择状态。

如果刷新禁止信号 INHVS 为逻辑 L 电平, 垂直扫描电路输出的垂直扫描信号 V_i 变为逻辑 H 电平。另一方面, 按照此振荡信号 ϕVSO , 奇数扫描指示信号 VO 已经为逻辑 H 电平, 偶数扫描指示信号 VE 为逻辑 L 电平, 响应垂直扫描信号 V_i 的上升, 奇数垂直扫描信号 V_{iO} 变为逻辑 H 电平。之后, 读出放大器输出信号 ϕP 变为逻辑 H 电平, 读出放大器驱动信号 ϕN 变为逻辑 L 电平, 读出放大器激活, 执行奇数列像素保持电压的刷新。

如果振荡信号 ϕVSO 降低到逻辑 L 电平, 刷新禁止信号 INHVS 再变为逻辑 H 电平, 读出放大器驱动信号 ϕN 及 ϕP 分别去激活, 并且, 预充电/均衡指示信号 ϕPE 激活。由此, 读出奇数列的像素的数据的内部数据信号线返回预充电状态。响应振荡信号 ϕVSO 的下降, 奇数扫描指示信号 VO 变为逻辑 L 电平, 而偶数扫描线指示信号 VE 变为逻辑 H 电平。

此时, 垂直扫描期间等于振荡信号 ϕVSO 的周期, 由于移位动作在垂直扫描电路中不执行, 垂直扫描信号 V_i 响应刷新禁止信号 INHVS 的下降再变为逻辑 H 电平, 相应地, 偶数垂直扫描信号 V_{iE} 上升为逻辑 H 电平。因此, 与连接传输此垂直扫描信号 V_i 的垂直扫描线的偶数列的像素的数据读出到对应的内部数据信号线, 接着读出放大器输出信号 ϕP 及 ϕN 激活而进行偶数列的像素的保持电压的复原及重写。

因此, 在此图 30 及 31 示出的构成的场合, 在振荡信号 ϕVSO 的 1 个周期内, 执行一行像素的刷新。在此构成的场合, 只按照振荡信号 ϕVSO 驱动垂直移位寄存器, 从图 10 所示的缓冲器 56 将移位时钟信号 ϕVS 供给垂直移位寄存器, 并且, 垂直扫描开始信号 STVS, 从图 10 所示的 OR 电路 61 输出。

另外, 在此图 28 及 30 所示的构成中, 也可从外部提供垂直移位

时钟信号及禁止信号来代替在刷新控制电路内部生成此刷新控制信号的构成。在此场合，从外部提供时钟信号 VSN 代替振荡信号 ϕVSO ，并且来自外部的禁止信号 INHV 响应此垂直移位时钟信号 VSN 的上升及下降而激活。此处，在刷新时移位时钟信号是从外部提供的场合，在刷新时，也可利用图 30 所示的构成在内部生成刷新禁止信号 INHVS。

[变更例]

图 33 为示出根据本发明的实施方案 4 的变更例的示图。在图 33 中，在显示像素矩阵中，对应像素 PX11-PX14，配置基准单元 RX11、RX12、RX13、以及 RX14。这些基准单元 RX11-RX14，与图 18 所示的构成同样，包含有包含于基准单元 RX11-RX14 中的电压保持电容元件和具有同一电容值的基准电容单元。

分别对应于内部数据信号线 D1-D4，设置有在导通时将对应的数据信号线 D1-D4 与互补的公用图像数据线 7b 相连接的选择门 SQ1-SQ4。选择门 TQ1-TQ4，在导通时将数据信号线 DL1-DL4 与公用图像数据线 7a 相连接。

选择门 SQ1 在 AND 电路 GQ2 的输出信号激活时导通，选择门 SQ2 在 AND 电路 GQ1 的输出信号为逻辑 H 电平时导通。选择门 SQ3 在 AND 电路 GQ4 的输出信号为逻辑 H 电平时导通，选择门 SQ4 在 AND 电路 GQ3 的输出信号为逻辑 H 电平时导通。就是说，在邻接的数据信号线上，在一方的选择门 TQ 导通的场合，成对的选择门 SQ 导通，图像数据 D 传输到像素 PX，另一方面，互补的数据信号/D 传输到基准单元 RX。

基准单元 RX11 及 RX13，内部的抽样 TFT 响应从 AND 电路 GAE1 发出的偶数扫描信号 V1E 而导通，将各自对应的数据信号线 D1 及 D3 上的互补图像数据信号存放于各自的基准电容元件中。另一方面，基准单元 RX12 及 RX14，内部的抽样 TFT 响应从 AND 电路 GAO1 发出的奇数扫描信号 V1O 而导通，将内部数据信号线 D2 及 D4 上的互

补图像数据信号存放于对应的基准电容元件中。图 33 示出的另外的构成，与图 18 所示的构成相同，对应的部分以同一标号标记，其详细说明省略。

在图 33 示出的构成中，在正常动作模式时，示出奇数及偶数垂直扫描线的信号 VO 及 VE 交货。一次，在各行中，同时选择一半的像素，对选择像素写入数据。

比如，假设在奇数垂直扫描信号 V1O 为选择状态时，水平扫描信号 H1 为逻辑 H 电平状态。在此状态中，门电路 GQ1 的输出信号变为逻辑 H 电平，选择门 TQ1 及选择门 SQ2 导通。由于像素 PX11 及基准单元 RX12 的抽样 TFT 处于导通状态，按照此水平扫描信号 H1，像素 PX11 及基准单元 RX12 中分别存放图像数据信号 D 及/D。像素 PX12，由于偶数垂直扫描信号 V1E 为逻辑 L 电平，内部的抽样 TFT 为非导通状态，对像素 PX12 不进行数据写入。顺序地驱动奇数水平扫描线接入选择状态，数据信号写入奇数列的像素 PX11，PX13，互补图像数据信号/D 写入对应的基准单元 RX12 及 RX14。

之后，如果对此一行奇数列的像素的图像数据的写入结束，偶数垂直扫描指示信号 VE 变为逻辑 H 电平，相应地，偶数垂直扫描信号 V1E 变为逻辑 H 电平。在此状态中，选择像素 PX12 及 PX14，并且选择基准单元 RX11 及 RX13。对偶数列顺序驱动水平扫描信号 H2，H4 进入选择状态，在对像素 PX12 及 PX14 写入图像数据信号 D 时，互补图像数据信号/D 存放于对应的基准单元 RX11 及 RX13 中。

由此，可不增加内部信号线，将互补图像数据信号存放于一行的像素及基准单元中。

在刷新时，选择门 SQ1 - SQ4 及 TQ1 - TQ4 全部处于非导通状态（正常动作模式指示信号 NORM 为逻辑 L 电平）。在此状态中，与前面的图 18 所示的构成同样，奇数垂直扫描信号 V1O 及偶数垂直扫描指示信号 V1E 有选择地激活，相应地，读出成对的数据线的像素及基准单元发出的互补数据信号执行读出动作及重写，结束刷新。在此场合，也可不增加信号线利用互补数据信号执行刷新。

图 34 为示出生成垂直扫描指示信号 VO 及 VE 的部分的构成的一例的示图。奇数及偶数垂直扫描指示信号 VO 及 VE, 在正常动作模式及刷新模式时生成。因此, 在此图 34 示出的构成中, 按照垂直扫描时钟信号 VCK 生成奇数扫描指示信号 VO, 另一方面, 由接收垂直扫描时钟信号 VCK 的反相器 180 生成偶数垂直扫描指示信号 VE。

因此, 在正常动作模式中, 在此垂直扫描时钟信号 VCK 的 1 个周期内, 数据写入到一行像素内。在刷新时, 与前面的图 30 所示的构成同样, 响应垂直扫描时钟信号 VCK 的上升及下降, 生成刷新禁止信号 INHVS。刷新控制电路的构成可利用前面的图 30 所示的构成。

图 35 为概略示出改变奇数列及偶数列的写入顺序的部分的构成的示图。在图 35 中, 从外部以光栅扫描顺序施加的像素数据信号 PD 由数据再配置电路 185 将偶数列及奇数列的像素重新排列成组。就是说, 在此数据再配置电路 185 中, 在存放一行像素数据 PD 之后, 首先输出奇数列的像素数据信号 D, 接着输出偶数列的像素数据 D。此数据再配置电路 185, 比如, 可由存放一行大小的像素数据的移位寄存器实现。

图 36 为示出此变更例的水平扫描电路 3 的构成的一例的示图。在图 36 中, 水平扫描电路 3 包含: 按照水平扫描时钟信号 HCK 和水平扫描开始指示信号 STH 执行移位动作的奇数水平移位寄存器 190; 接收此奇数水平移位寄存器 190 的输出信号, 之后按照水平时钟信号 HCK 顺次执行移位动作的偶数水平移位寄存器 192; 接受这些奇数水平移位寄存器 190 及偶数水平移位寄存器 192 的输出信号和输出水平扫描信号 H1... Hfn 的缓冲器 194。此处, 平扫描信号 Hfn 表示水平扫描的最终列的水平扫描信号。此缓冲器 194 包含: 接受奇数水平移位寄存器 190 的输出信号而输出对奇数列的水平扫描信号 H1、H3... 的缓冲器电路和接受偶数水平移位寄存器 192 的输出信号而输出对偶数列的水平扫描信号 H2、H4... 的缓冲器电路。

因此, 通过利用此图 36 所示的构成, 利用图 35 所示的数据再配置电路 185, 可在对奇数列的像素数据写入结束之后, 执行对偶数列

的像素数据的写入。

另外，代替这种点顺序扫描方式，在数据是一次一行像素同时写入的场合，对选择的一行的偶数列及奇数列的像素的写入按照垂直扫描指示信号 VO 及 VE 交替地执行就很容易实现。

如上所述，根据本发明的实施方案 4，是将邻接列的内部数据信号线结合组成互补信号线对来执行像素数据的刷新，可减少配线占有的面积，相应地可减少显示像素矩阵占有的面积。并且，读出放大器是对两列像素只配置一个，所以可减少读出放大器占有的面积，并且，刻印减少读出时的功率消耗。

[实施方案 5]

图 37 为示出根据本发明的实施方案 5 的像素的构成的一例的示意图。在图 37 中，像素 PX 包含：响应扫描线 205 上的信号而导通，导通时，取得内部数据线 206 上的数据信号 D 的 N 沟道 MOS 晶体管 (TFT)200；保持经 MOS 晶体管(TFT)200 供给的电压的电压保持电容元件 201；按照电压的电压保持电容元件 201 的充电电压导通，传输电源线 204 上的电压 Vdd 的 N 沟道 MOS 晶体管 202；以及按照经过此 MOS 晶体管 202 供给的电流发光的有机电致发光元件(EL)203。

此电源电压 Vdd，比如为 10V，电压保持电容元件 201 的电极节点保持接地电压或电源电压 Vdd 电平。在图 37 中，示出的是电压保持电容元件 201 的主电极与接地节点相连接の場合。

此图 37 示出的像素 PX，利用有机 EL 元件，按照电压保持电容元件 201 的充电电压，形成对有机 EL 元件 203 的供给电流，按照此供给电流决定有机 EL 元件 203 发光/不发光。因此，对于利用电压保持电容元件 201 由充电电压驱动有机 EL 元件 203 的构成，可以利用前面的实施方案至 4 所示的构成。

另外，在图 37 的构成中，有机 EL 元件驱动用的 MOS 晶体管 202 和有机 EL 元件 203 的位置也可以交替。

如上所述，根据本发明实施方案 5 的像素 PX，是以有机 EL 元件

构成的, 可实现高效率的显示装置。另外, 通过执行刷新, 可长期稳定地保持电压保持电容元件 201 的充电电压, 可降低为保持此充电电压的功率消耗。

[实施方案 6]

图 38 为概略示出本发明的实施方案 6 的构成的示图。在图 38 中, 像素 PX 包含: 响应扫描线 205 上的垂直扫描信号 V 导通, 对内部数据线 206 上的图像数据信号 D 进行抽样的抽样 TFT210; 保持经抽样 TFT210 供给的电压信号的电压保持电容元件 211; 以及根据此电压保持电容元件 211 的一方电极节点(电极保持节点)215 的电压和对向电极 214 之间的电压差驱动的液晶元件 212。电极节点(电极保持节点)215 的另一方电极节点与公用电极节点 213 相连接。

如图 38 所示, 在使用液晶元件 212 作为显示像素元件的场合, 可相应于电压保持电容元件 211 的保持电压驱动液晶元件 212。此液晶元件 212, 相应于对向电极 214 和电压保持电容元件 211 的电压保持节点(像素电极)的电压差施加像素驱动电压, 相应于此像素驱动电压确定液晶的取向状态。

在不改变显示图像保持显示图像的场合, 不特别要求对液晶元件使用交流驱动, 只要求刷新保持电压的场合, 可利用前面的实施方案 1 至 4 的构成执行保持电压的刷新。不过, 在利用外部存储器重写保持图像数据的场合, 与正常动作模式时同样, 液晶元件用交流驱动。因此, 在其内部刷新驱动液晶元件的保持电压的场合和利用其外部存储器的场合保持同样的图像质量的场合, 都要求交流驱动液晶元件。下面按照抽样的保持电压, 对直接驱动液晶元件的场合的构成及动作予以说明。

图 39 为概略示出根据本发明的实施方案 6 的显示装置的主要部分的构成的示图。在图 39 中, 示出与配置成为一系列的像素 PX 相关联的部分的构成。像素 PX11 及 PX21, 由于具有同一构成, 在图 39 中, 对像素 PX11 的构成要素标以标号。像素 PX11, 与图 38 示出的构成

一样, 包含: 抽样 TFT210; 电压保持电容元件 211; 以及液晶元件 212.

对电压保持电容元件 211 的主电极, 经公用电极线施加电容器公用电压 V_{cap} . 液晶元件 212, 接受电压保持电容元件 211 的电压保持节点的电压, 接受对向电极上的电压 V_{cnt} 作为像素驱动电压.

互补内部数据线 DL 及 DR 对应像素列配置, 这些互补内部数据信号线 DL 及 DR, 经切换电路 Sgi 连接到公用图像数据线 7. 切换电路 Sgi 与实施方案 1 同样, 包含: 接受水平扫描信号 Hi 和正常动作模式指示信号 NORM 和左启用信号 LE 的 AND 电路 21; 接受水平扫描信号 Hi 和正常动作模式指示信号 NORM 和右启用信号 RE 的 AND 电路 23; 响应 AND 电路 21 的输出信号而导通, 导通时使内部信号线数据信号线 DL 与公用图像数据线 7 相连接的传输门 22; 以及响应 AND 电路 23 的输出信号导通, 导通时使内部数据信号线 DR 与公用图像数据线 7 相连接的传输门 24.

像素 PX, 隔行与内部数据信号线 DL 及 DR 交替连接. 不过, 对此像素 PX 的配置, 与实施方案 1 的场合同样, 也可以使内部数据线 DR 及 DL 与相同数目的像素连接.

在刷新电路中, 互补信号线 CL 及 CR, 响应俘获指示信号 TRAP, 经有选择地导通的传输门 TR1 及 TR2 与读出放大器 SA 相连接. 此外, 还配置有响应复原指示信号 ϕ_{INV} 有选择地导通, 使读出放大器 SA 的读出/锁存信号反相传输到互补信号线 CL 及 CR 的传输门 TR3 及 TR4.

对互补信号线 CL 及 CR, 还与实施方案 1 等同样, 配置有: 响应刷新指示信号 SELF, 使内部数据信号线 DL 及 DR 与互补信号线 CL 及 CR 相连接的隔离门 Igi; 响应预充电指示信号 ϕ_{PE} 使互补信号线 CL 及 CR 预充电并均衡为中间电压电平的预充电电压 VM 的预充电/均衡电路 PEQ. 在图 39 所示的构成中, 作为像素 PX 的配置, 也可采用与实施方案 1、2 及 4 同样的配置. 就是说, 对应像素 PX 的各列配置内部数据信号线, 也可使内部数据信号线的对与互补信号线对相

连接, 并且, 也可以对应合像素列配置基准单元。在任何一种配置中都可得到同样的效果。

正常动作模式时的动作与实施方案 1 同样, 按照垂直扫描信号 V_i , 选择像素 PX 的行, 之后按照水平扫描信号 H_i 选择像素列, 对选择列的像素经抽样 TFT 写入像素数据信号, 写入的像素数据信号由电压保持电容元件保持。液晶元件 212 接受由电压保持电容元件保持的电压, 按照对向电极的电压 V_{cnt} 驱动。

之后, 参考图 40A 示出的时序图对刷新时的动作予以说明。如果制定刷新模式, 刷新指示信号 SELF 激活, 隔离门 IG 导通, 对应的内部数据信号线 DL 及 DR 与互补信号线 CL 及 CR 相连接。如果生成刷新垂直扫描开始信号 STVS, 就按照下面的垂直扫描时钟信号 VCK 的上升, 驱动先导行的垂直扫描信号 V_1 进入选择状态, 执行此选择行的像素 PX 的保持电压的刷新。在此刷新时, 各像素 PX 中的保持电压的极性反相。就是说, 存放逻辑 H 电平的像素数据的像素, 其保持电压, 从与逻辑 H 电平相对应的电压电平变换为与逻辑 L 电平的像素数据相对应的电压电平。

如果对一帧的像素刷新结束(在图 40A 中对最后行的垂直扫描信号以 V_m 示出), 对向电极的电压 V_{cnt} 的极性反相。在图 40A 中, 示出此对向电极的电压 V_{cnt} 从逻辑 H 电平变换为逻辑 L 电平的狀態的一例。在刷新时, 各像素的保持像素数据使其电压极性反相。因此, 利用此对向电极的电压 V_{cnt} 的极性反相, 虽然在像素 PX 中像素电极和对向电极之间施加的电压极性反相, 在一帧图像的刷新结束时, 各液晶元件为交流驱动。但是, 像素数据为逻辑 H 电平和逻辑 L 电平的二值数据。

在一帧的像素刷新时, 一直到对向电极电压 V_{cnt} 的电压电平反相, 各像素的保持数据的逻辑电平都同等地反相。然而, 液晶元件的响应时间, 比如为大约 30 ms, 另一方面, 刷新周期, 比如为大约 16 ms, 即使保持电压的逻辑电平改变, 由于改液晶元件的响应与刷新周期相比足够长, 对显示图像不会产生恶劣的影响, 不会发生图像质量劣化。

由此, 可以对各像素的液晶元件使用交流驱动实施保持电压的刷新。

图 40B 为概略示出对向电极驱动单元的构成的一例的示图。在图 40B 中, 对向电极驱动电路 230 接受垂直扫描开始信号 STVS 和振荡信号 ϕVSO 而生成对向电极电压 V_{cnt} 。振荡信号 ϕVSO 从图 10 所示的振荡电路 55 输出, 用作垂直扫描时钟信号。对向电极驱动电路 230, 在刷新模式中, 如果生成垂直扫描开始信号 STVS, 在下一个周期中最后行的像素的刷新结束, 如果刷新禁止信号激活, 对向电极电压 V_{cnt} 的电压极性改变。由此, 在一帧的像素的刷新结束时, 对向电极电压极性改变, 在刷新时可以使用交流驱动各液晶元件。

另外, 此对向电极驱动电路 230, 在正常动作模式时, 每次垂直扫描对向电极的电压 V_{cnt} 的电压极性都进行切换。因此, 对于此对向电极驱动电路 230, 施加有正常动作模式指示信号 NORM, 垂直扫描时钟信号 VCK 和垂直扫描开始信号 STV, 根据动作模式改变对向电极电压极性的改变周期。

图 41A 为示出本发明的实施方案 6 的刷新时的动作的信号波形图。下面参考图 41A 对示于图 39 的刷新电路的动作予以说明。

在刷新模式时, 振荡信号 ϕVSO , 以预定周期振荡。根据此振荡信号 ϕVSO , 确定垂直扫描期间。如果振荡信号 ϕVSO 上升, 首先, 按照图中未示出的刷新禁止信号 INHVS, 禁止信号 INHV 在预定期间变为逻辑 L 电平, 驱动选择行为非选择状态。响应此禁止信号 INHV 的激活, 预充电指示信号 ϕPE 激活, 互补信号线 CL 及 CR 预充电到预定电压 VM, 并且, 对应的内部数据信号线 DL 及 DR 经隔离门 IGi 与互补信号线 CL 及 CR 相连接, 这些内部数据信号线 DL 及 DR 也预充电到预充电电压 VM 电平。读出放大器输出信号 ϕP 及 ϕN , 响应禁止信号 INHV 的激活而去激活, 读出放大器 SA 也相应地去激活。

如果禁止信号 INHV 去激活, 则按照垂直移位寄存器的输出信号, 下一个垂直扫描线的垂直扫描信号 Vi 激活。俘获指示信号 $\phi TRAP$, 按照禁止信号 INHV 的激活变为逻辑 H 电平, 传输门 TR1 及 TR2 变

为导通状态,读出放大器 SA 与互补信号线 CL 及 CR 相连接。在此状态中,复原指示信号 ϕINV 处于去激活状态,传输门 TR3 及 TR4 处于非导通状态,互补信号线 CL 及 CR,经过这些传输门 TR1-TR4 可防止电短路。

如果行选择信号 V_i 被驱动进入选择状态后经过预定的时间,俘获指示信号 ϕTRAP 激活,传输门 TR1 及 TR2 变为非导通状态,读出放大器 SA 和互补信号线 CL 及 CR 分离。在此状态中,已经通过内部数据线 DL 及 DR 从选择像素读出的电压传输到读出放大器 SA,使传输门 TR1 及 TR2 变为非导通状态,通过读出放大器 SA 和互补信号线 CL 及 CR 的分离,通过在读出放大器的读出节点上俘获从选择像素传输的电压信号(电荷),使读出放大器 SA 的读出节点的负载减小而可进行高速读出动作。

如果读出放大器 SA 结束读出动作变为锁存状态,复原指示信号 ϕINV 激活,传输门 TR3 及 TR4 导通,读出放大器 SA 的读出节点以相反状态与互补信号线 CL 及 CR 相连接,向内部数据信号线 DL 及 DR 传输与原来的读出的像素数据相反的逻辑的数据信号。这一传输到内部数据信号线 DL 或 DR 的数据信号写入到处于选择状态的原来的像素中。在此状态中,对选择像素,存放逻辑反转的像素数据信号。比如,最初存放电源电压电平的像素数据信号的像素,在刷新结束时,存放接地电压电平的像素数据信号。

如果振荡信号 ϕVSO 再上升,对此选择行像素的保持电压的刷新结束,内部数据信号线 DL 及 DR 和互补信号线 CL 及 CR 返回预充电状态,读出放大器 SA 去激活,并且预充电/均衡电路 PEQ 激活。传输门 TR3 及 TR4 变为非导通状态,并且,传输门 TR1 及 TR2 按照禁止信号 INHV 的激活而导通,读出放大器 SA 的读出节点与互补信号线 CL 及 CR 相连接,读出放大器 SA 的读出节点预充电到预充电电压 VM。

由此,在对全部像素执行刷新的一个刷新周期中,可对全部像素进行数据信号的逻辑电平的反相及重写。

图 41B 为示出生成像素数据传输控制信号的部分的构成的一例的示图。在图 41B 中，复原指示信号 ϕINV ，响应从接受读出放大器驱动信号 ϕP 的延时电路 240 发出的延迟读出放大器驱动信号的上升而置位并且响应禁止信号 INH 的激活而复位的置位复位触发器 242 输出。延时电路 240 的延迟时间为超过一直到读出放大器 SA 激活，其读出动作结束，读出节点的电压稳定为止所需要的时间。对延时电路 240，也可施加读出放大器驱动信号 ϕN 。另外，在禁止信号 INH 去激活之后经过预定时间后，此复原指示信号 ϕINV 也可激活。

俘获指示信号 ϕTRAP ，从响应禁止信号 INH 的激活生成具有预定的时间宽度的单稳脉冲信号的单稳脉冲生成电路 244 输出。此单稳脉冲生成电路 244 生成的脉冲信号的脉冲宽度大约为一直到读出放大器驱动信号 ϕN 及 ϕP 激活为止所需要的时间。也可在读出放大器 SA 激活前使此俘获指示信号 ϕTRAP 去激活，或者也可以在读出放大器 SA 激活后使此俘获指示信号 ϕTRAP 去激活。读出放大器 SA 的读出节点的负载在读出动作时有变化，有可能使读出动作不能准确进行，最好是在读出动作开始前使俘获指示信号 ϕTRAP 去激活。

此俘获指示信号 ϕTRAP 也可由响应禁止信号 INH 的上升而置位，响应读出放大器驱动信号 ϕP 的上升而复位的置位复位触发器的输出 Q 生成。

另外，对向电极可对全部像素共通配置。不过，其构成也可将此对向电极按每个垂直扫描线分割，在以垂直扫描线为单位对对向电极的每个刷新结束时其电压极性反相。

如上所述，根据本发明的实施方案 6，在利用保持电压直接驱动液晶元件的场合，在刷新时使像素的保持电压反相并在刷新结束时也使对向电极的电压极性反相，可以在低功率消耗下稳定地执行保持电压的刷新而不降低显示图像的质量。

[实施方案 7]

图 42 为概略示出根据本发明的实施方案 7 的显示装置的主要部分

的构成的示图。在图 42 中，代表性地示出排列成为 2 行 3 列的像素 PX11-PX13 及 PX21-PX23。对在列方向上排列的像素分别配置有内部数据信号线 DL1-DL3，对应行方向上排列配置的像素配置有垂直扫描线 VL1 及 VL2。

分别对应内部数据信号线 DL1-DL3 设置有列选择门 SGT1-SGT3。这些列选择门 SGT1-SGT3 包含：接受正常动作模式指示信号 NORM 和对应的水平扫描信号 H(H1-H3)的 AND 电路 GA；此 AND 电路 GA 的输出信号变为逻辑 H 电平时导通，导通时使对应的内部数据信号线 DL1-DL3 与公用图像数据线 CDL 相连接的传输门传输门 TA。

像素 PX11-PX13 及 PX21-PX23 的各个，由于具有同一构成，在图 42 中，代表性地示出像素 PX11 的构成。像素 PX11 包含：响应垂直扫描线 VL1 上的垂直扫描信号 V1 而导通，取得内部数据信号线 DL1 上的数据信号的抽样 TFT200；保持由此抽样 TFT200 取得的电压的电压保持电容元件 201；连接在电压保持电容元件和电容器公用电极线 222a 之间，其栅极接受刷新指示信号 REF1 的 N 沟道 MOS 晶体管 (TFT)250；相应于电压保持电容元件 201 的充电电压，从电源线 220 供给电流的 MOS 晶体管 202；以及相应于从 MOS 晶体管 202 供给的电流而发光的 EL 元件 203。此 EL 元件 203 的另一电极节点与接地节点相连接。

在图 42 中，电源线 220 的设置是与各行分别对应的，电源线 220 与全部像素共通连接。另外，电容器电极线 222a 及 222b 与各行分别另外设置。不过，这些电容器电极线 222a 及 222b 也可与全部像素共通连接。电容器电极线 222a 及 222b 的电压也可为接地电压电平，也可为电源电压 VCC 电平，也可为中间电压电平。

在正常动作模式时，正常动作模式指示信号 NORM 为逻辑 H 电平，并且刷新指示信号 RF1- RF2 全部为逻辑 H 电平。所以，在像素 PX11-PX13 及 PX21-PX23 中，MOS 晶体管 230 全部导通，电压保持电容元件 201 的电极节点与电容器电极线 222a 及 222b 相连接。在

选择垂直扫描线 VL(VL1 或 VL2)的状态时, 通过驱动水平扫描信号 H1-H3 顺次进入激活状态, 可对像素 PX11-PX13 及 PX21-PX23 写入像素数据信号。

另一方面, 如图 43 所示, 在进行像素数据信号的保持的刷新模式时, 正常动作模式指示信号 NORM 设定为逻辑 L 电平, 列选择门 SGT1-SGT3、... 全部变为非导通状态, 内部数据信号线 DL1-DL3 和公用图像数据线 CDL 分离。在此状态, 如图 43B 所示, 刷新指示信号 RF 全部一次设定为逻辑 L 电平之后, 以预定的间隔顺次在预定期间上升为逻辑 H 电平。在此刷新指示信号 RF(RF1, RF2)为逻辑 L 电平时, 在像素 PX(PX11-PX13 及 PX21-PX23)中, MOD 晶体管 250 处于非导通状态, 电压保持电容元件 201 的主电极节点处于浮动状态。在此状态中, 在电压保持电容元件 201 的图像数据保持电极节点(存储节点)的电压相应于漏电流而改变的场合, 电容器的主电极(称为单元极板节点)的电压电平也相应于电容耦合而减小。

在此状态中, 如图 43B 所示, 在电压保持电容元件 201 的存储节点的电压 PVa 由于漏电流而下降的场合, 由于此电压保持电容元件 201 的存储节点处于浮动状态, 由于电容耦合电压电平也相应地改变。设刷新指示信号 RF1 为逻辑 H 电平, MOS 晶体管 250 为导通状态, 单元极板节点与电容器电极线 222a 及 222b 相连接。由此, 单元极板节点打压 PVb 返回到原来的预充电电压电平。相应于这一单元极板节点的电压的回归, 向存储节点注入电荷, 存储节点的电压 PVa 返回原来的电压电平(抽样 TFT200 处于“断”状态, 可由电荷泵动作注入电荷)。因此, 通过按照刷新指示信号 RF 使此 MOS 晶体管 250 进入导通状态, 可使等于存储节点的流出电荷量的电荷量再流入电荷泵, 可使电压保持电容元件 201 的保持电压恢复到原来的电压电平。由此, 即使在 EL 元件 203 的发光度是根据供给电流而分级显示, 电压保持电容元件 201 的存储节点的电压为中间电压电平的场合, 也可准确地复原原来的电压。

刷新指示信号 RF1, RF2, 在使用与垂直扫描电路同样的移位寄

存器的刷新模式时,通过使振荡电路振荡,以该振荡信号使移位寄存器进行移位动作可以很容易生成(也可以利用与垂直移位寄存器的构成同样的构成).

因此,在图 42 所示的场合,不需要读出放大器,只通过电容器的电荷泵的动作就可以复原原来的电压电平,即使是在使用有机 EL 元件的分级显示的场合,也可以可靠地进行保持电压的刷新.

另外,在上述构成中,刷新指示信号 REF 是以各行单位顺次激活.不过,也可以对全部像素同时激活刷新指示信号.

另外,在利用液晶元件代替这种有机 EL 元件的场合,通过使用同样的构成也可以复原原来的电压电平.在液晶元件使用交流驱动的场所,对向电极的极性改变.

如上所述,根据本发明的实施方案 7,其构成可使保持有机 EL 元件的驱动电压的电容元件作为充电泵动作,可准确地使打压复原为中间电压电平的电压,可在低功率消耗下进行分级显示像素数据的刷新.

以上,根据本发明,构成为使用来驱动显示像素的电压在内部进行刷新,不需要从外部的 SRAM 或图像存储器读入刷新用的像素数据信号,可以在低功率消耗下刷新显示像素数据.

图1

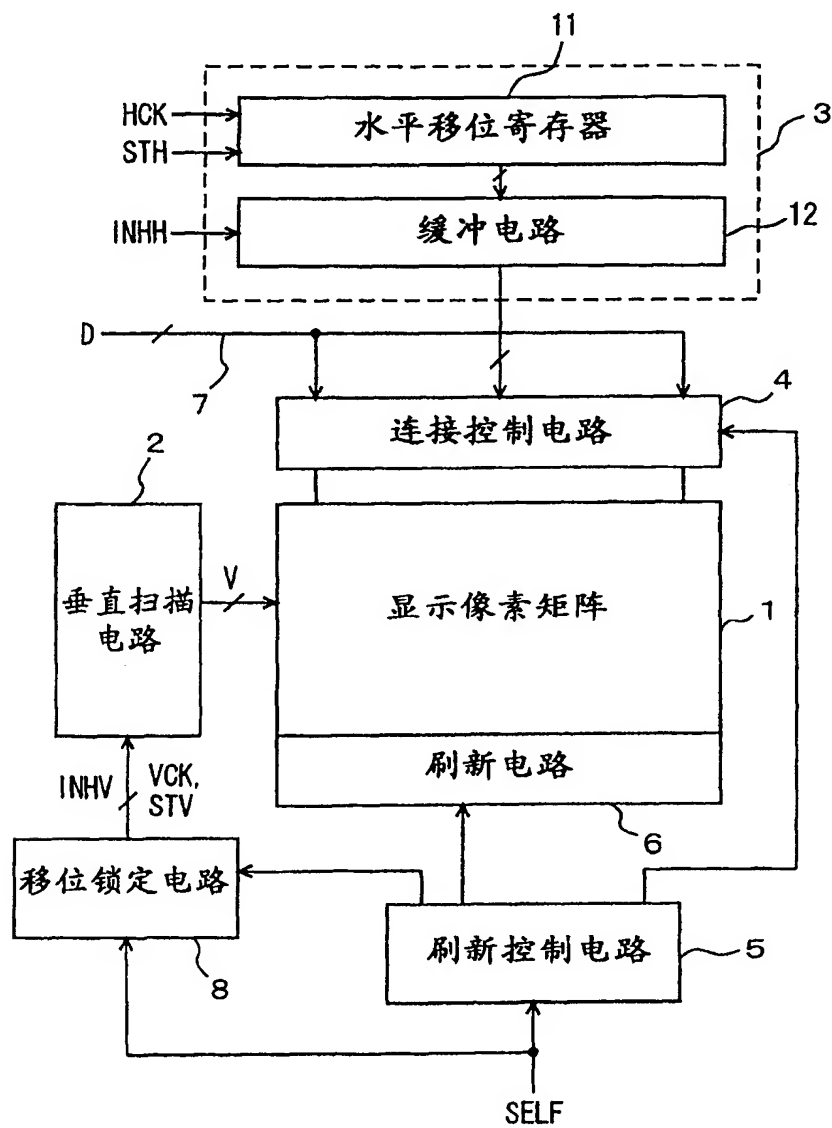


图 2

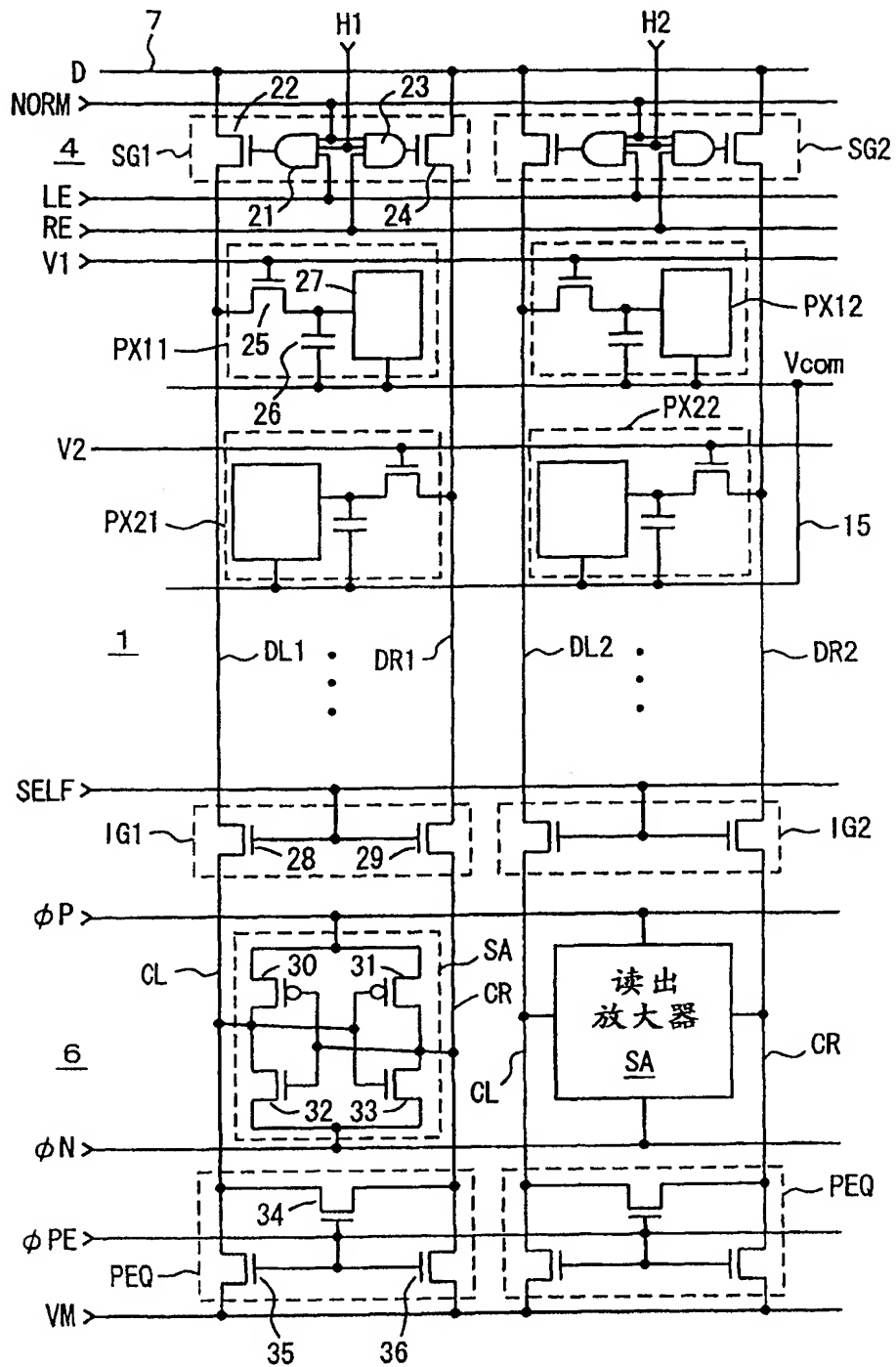


图 3

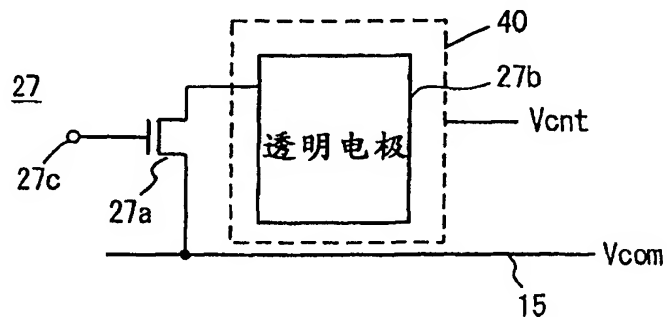


图 4

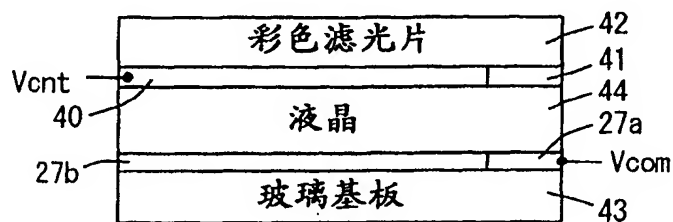
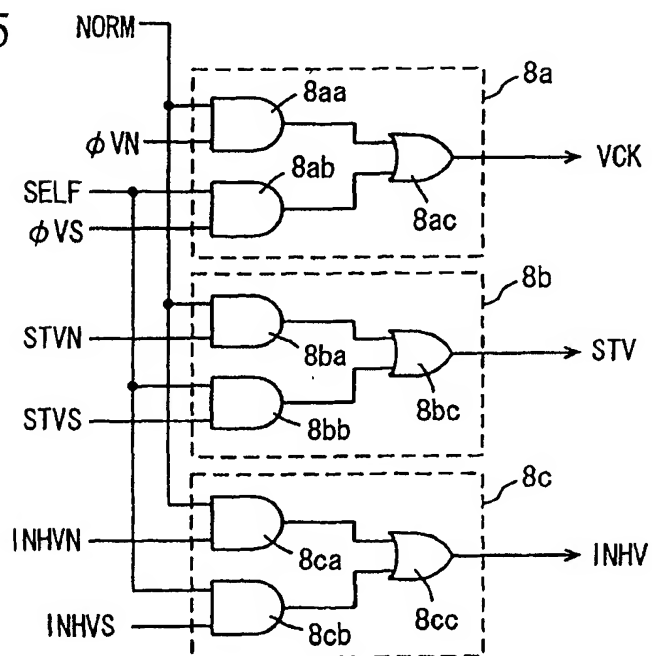


图 5



8

图 6

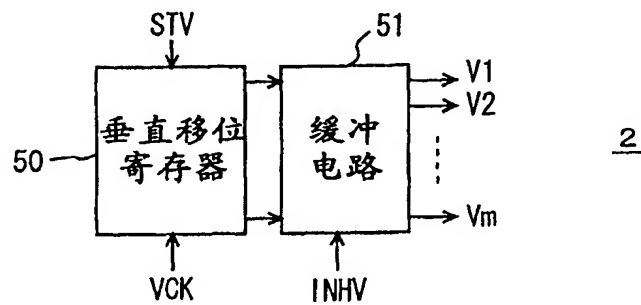


图 7

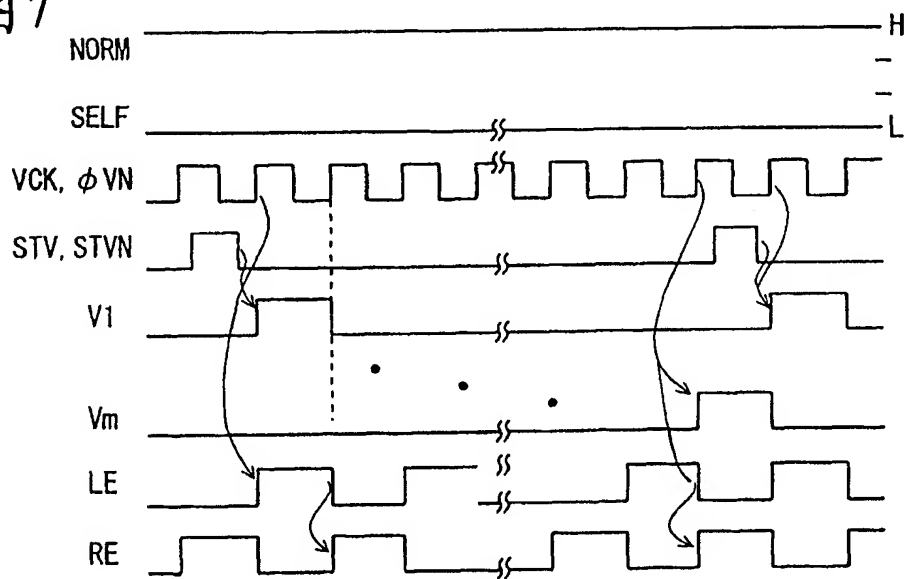


图 8

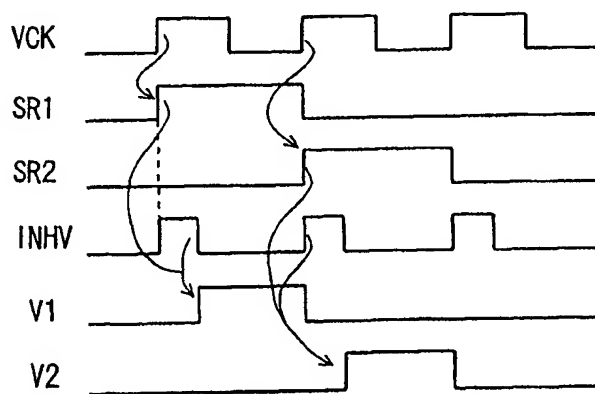


图 11

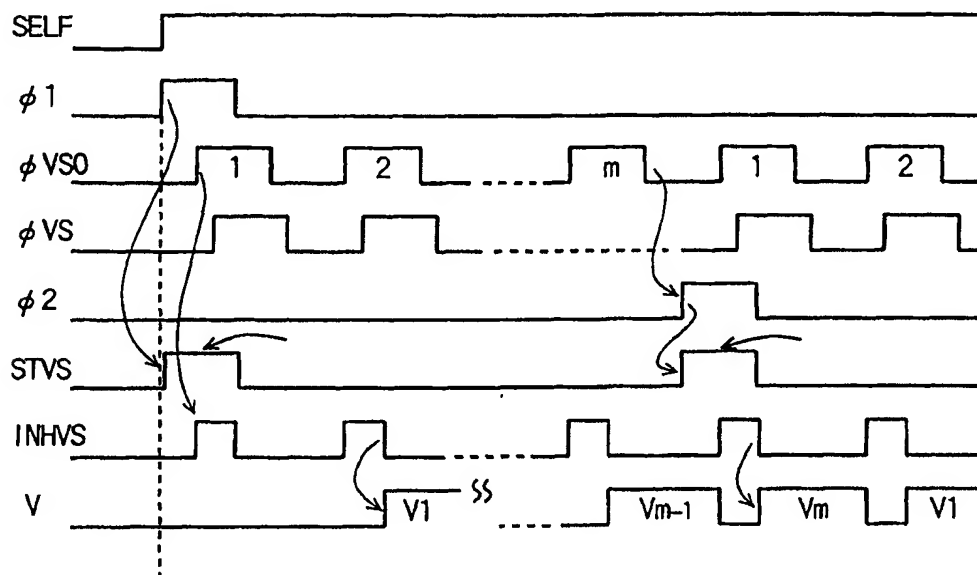


图 12

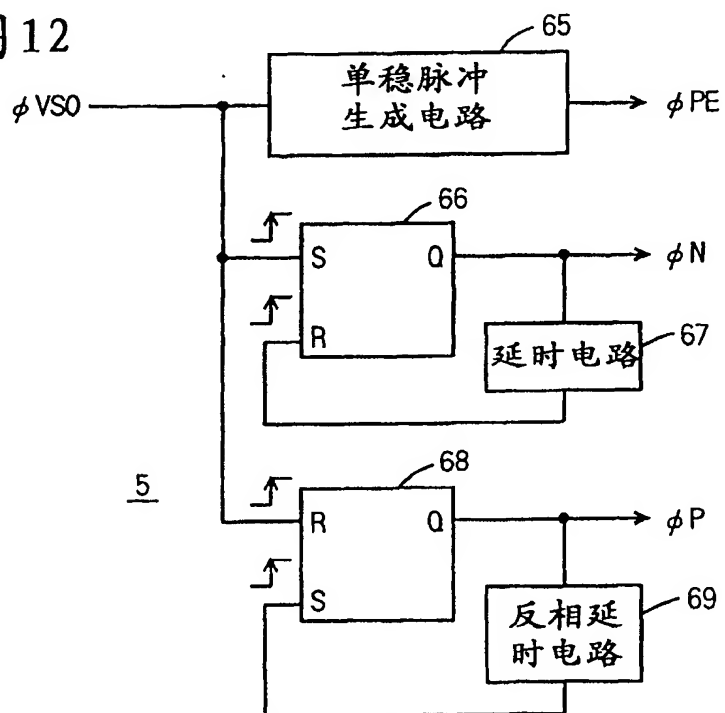


图 13

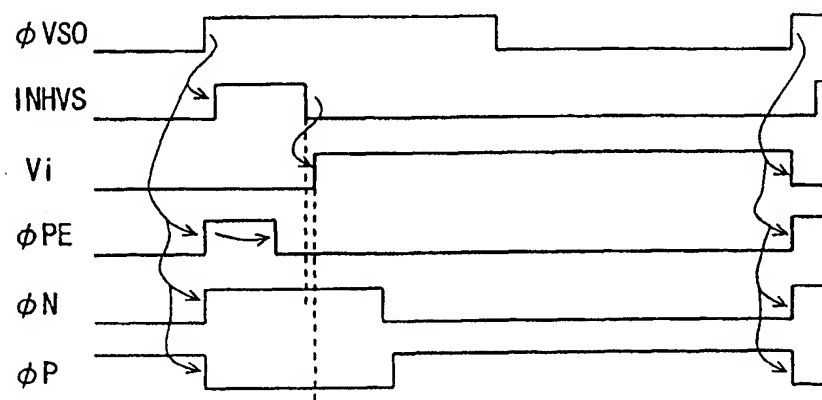


图 14

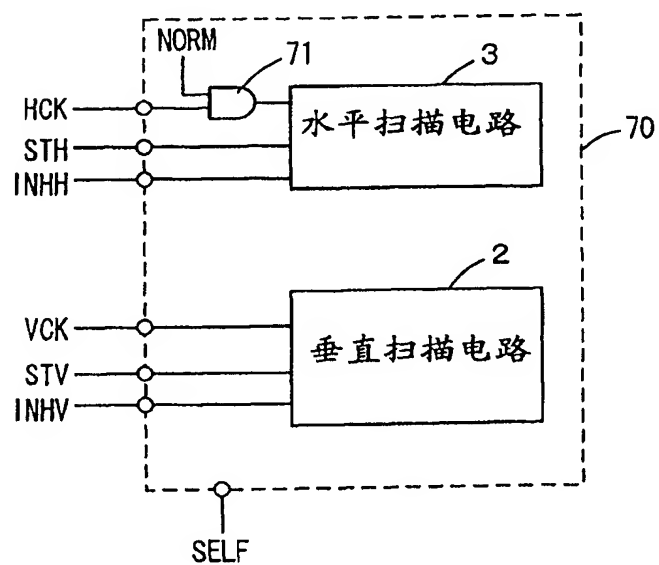


图 15

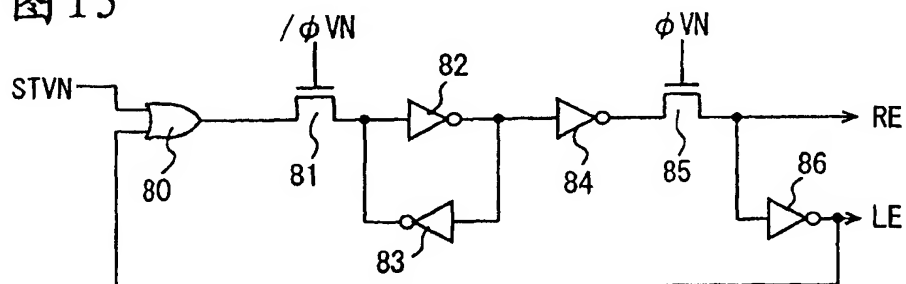


图 16

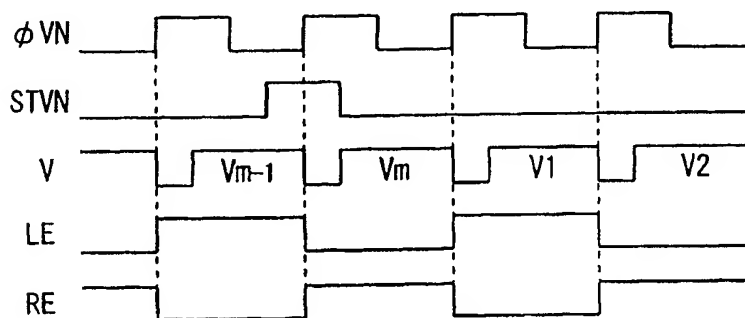


图 17

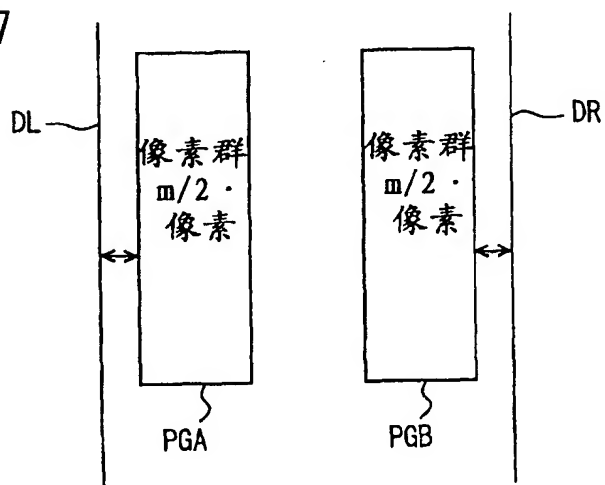


图 18

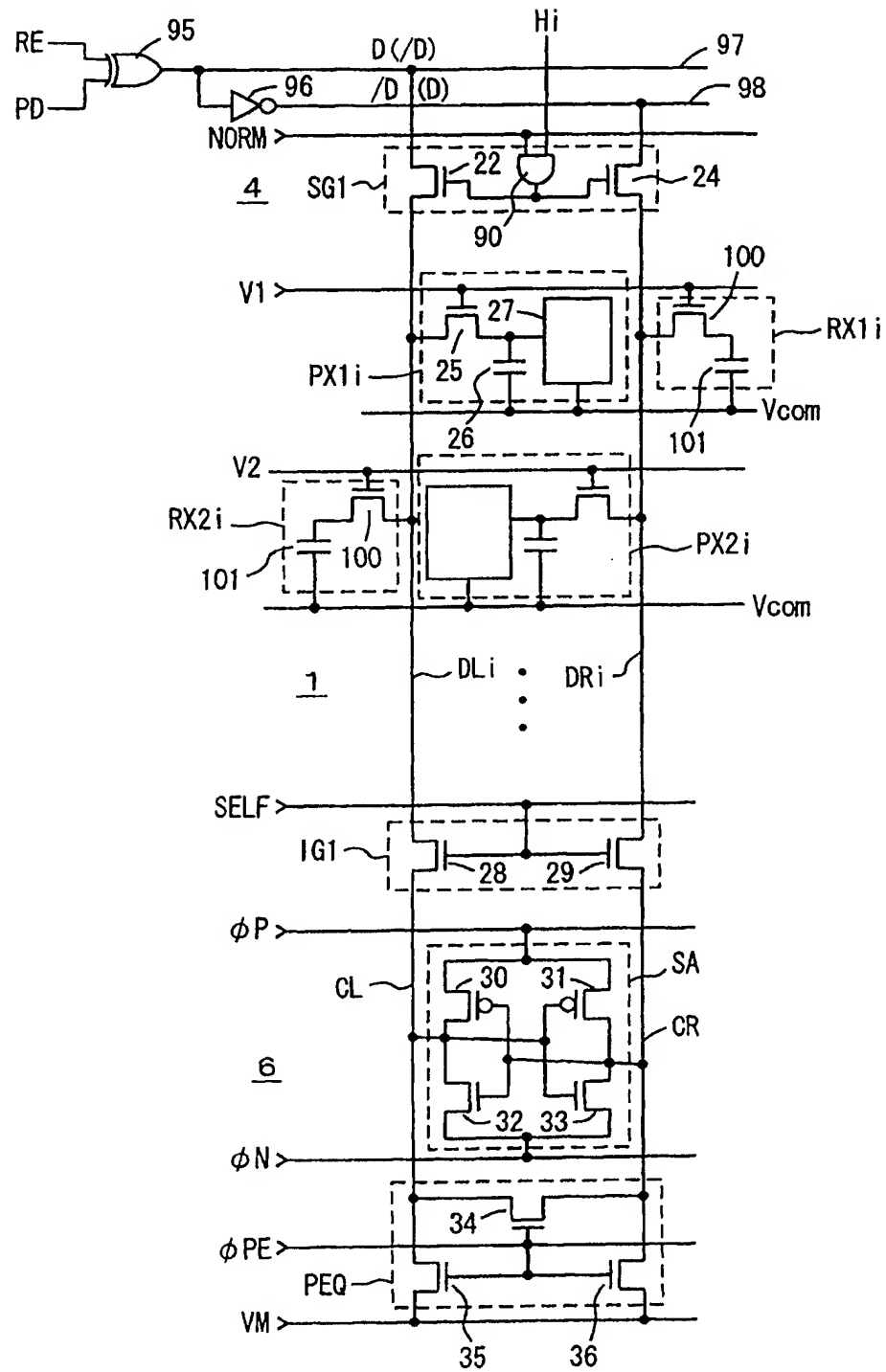


图 19

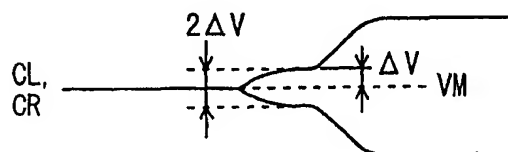


图 20

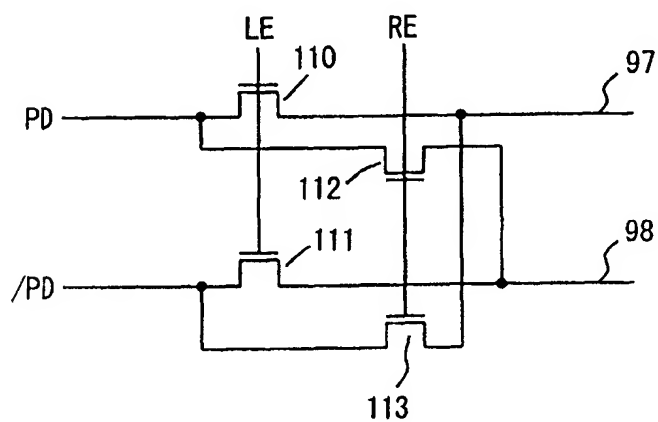


图 21

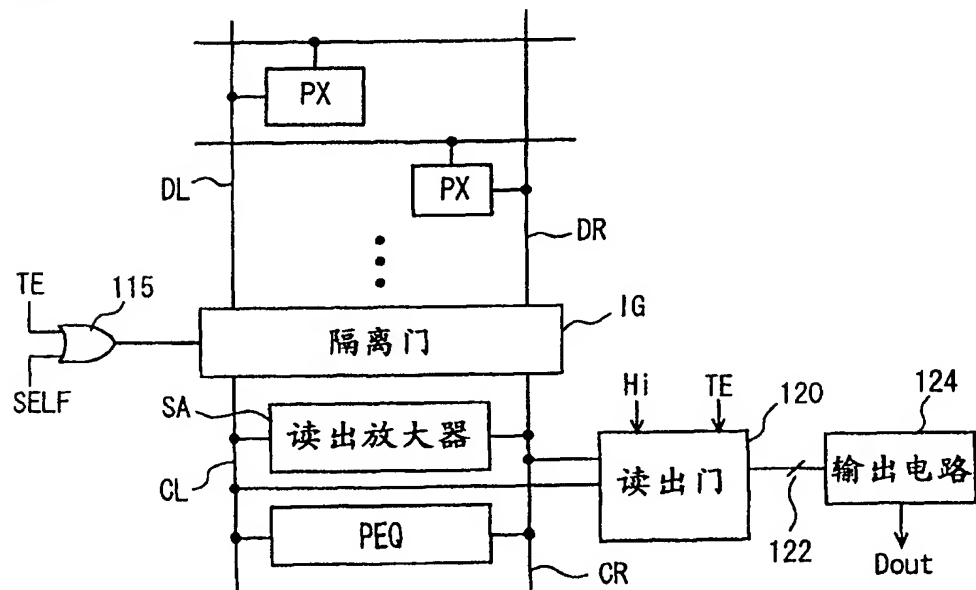


图 25

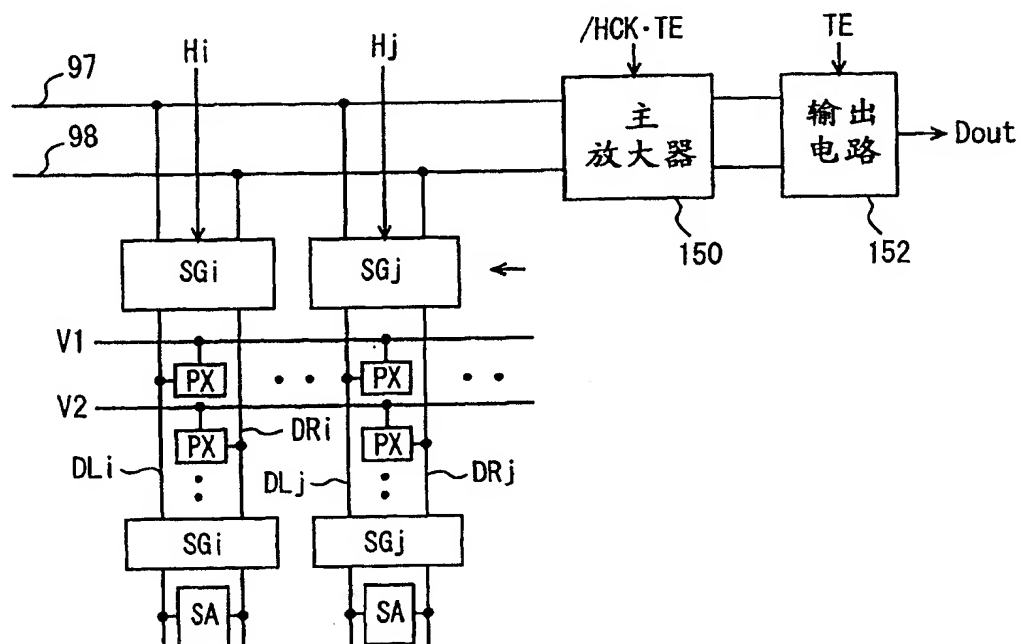


图 26

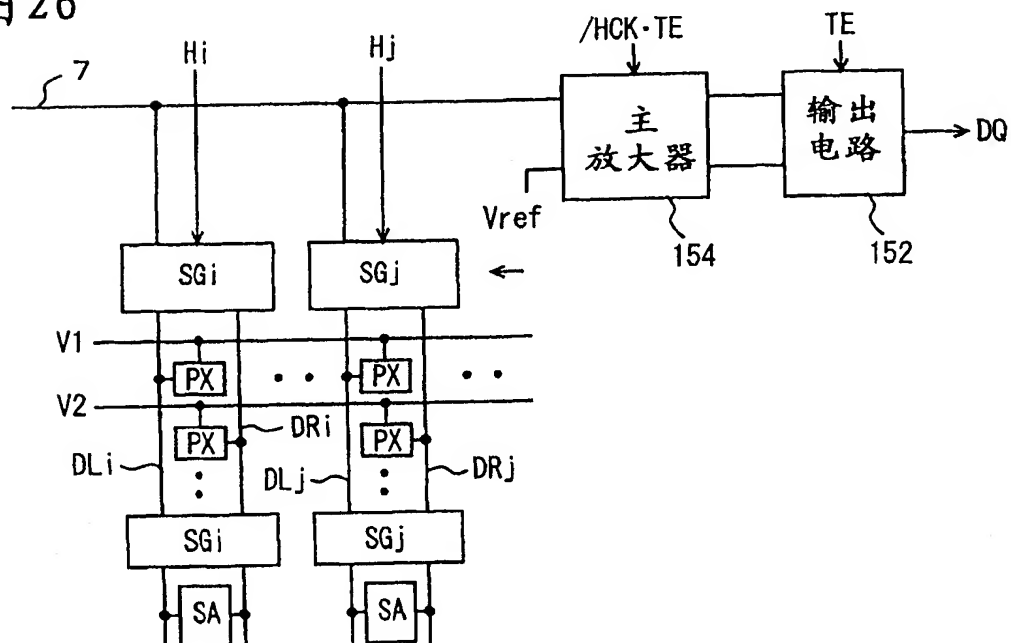


图 27

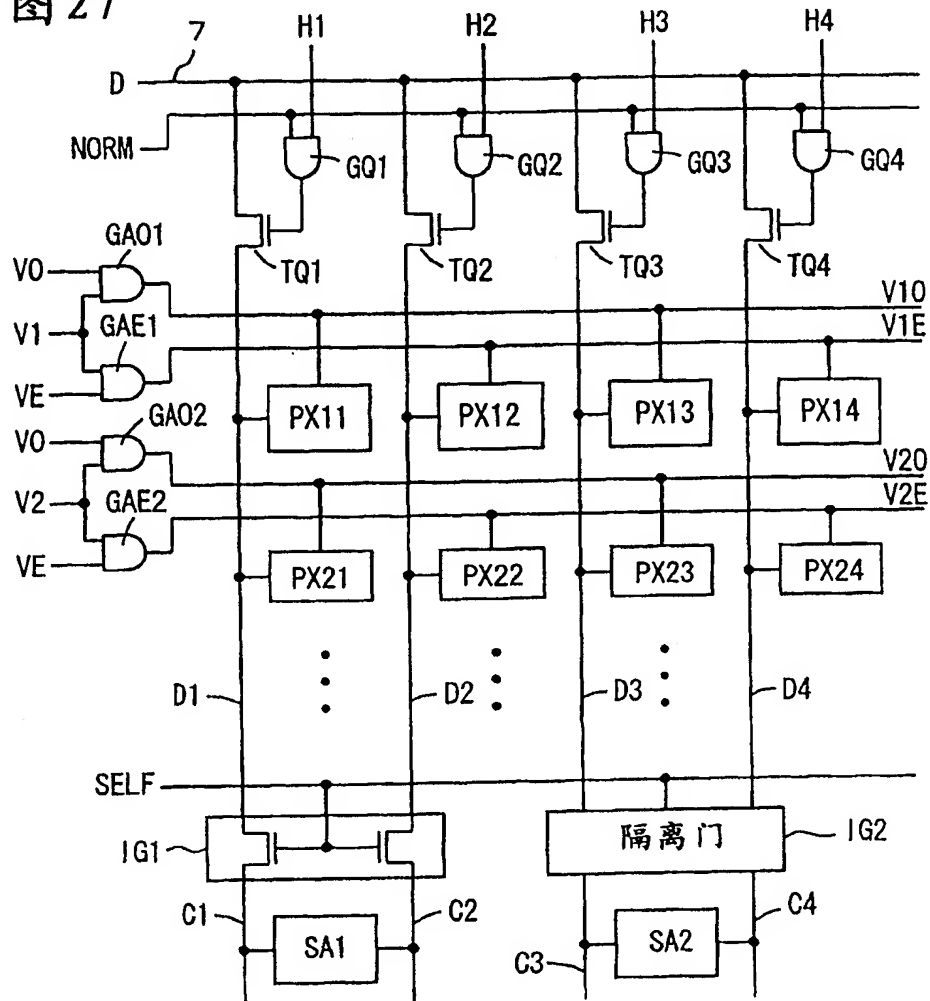


图 28

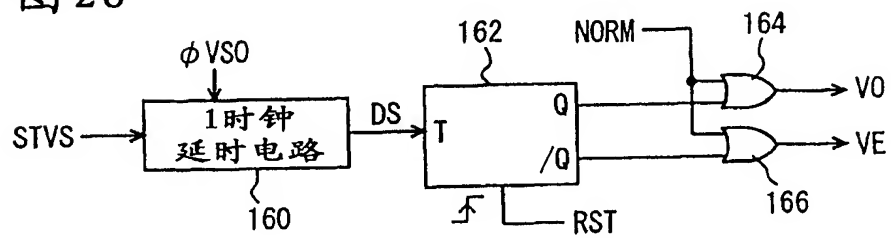


图 29

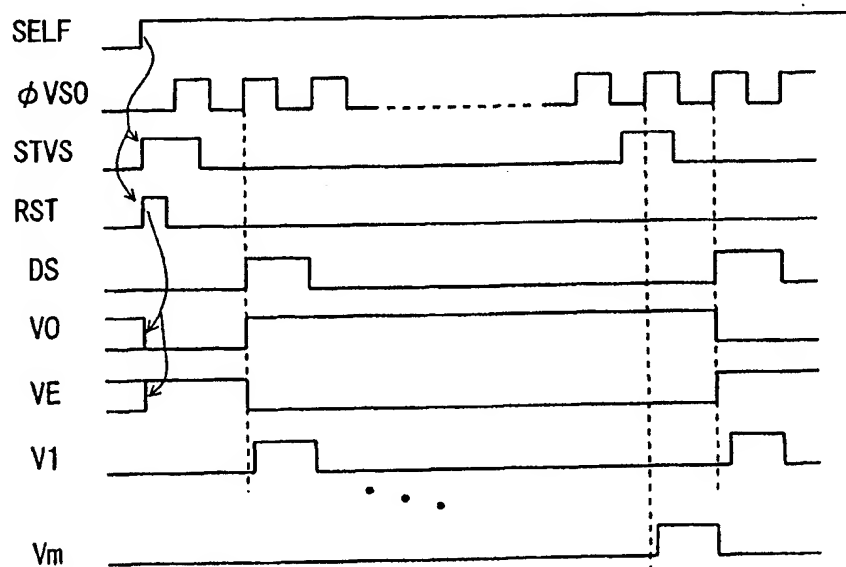


图 30

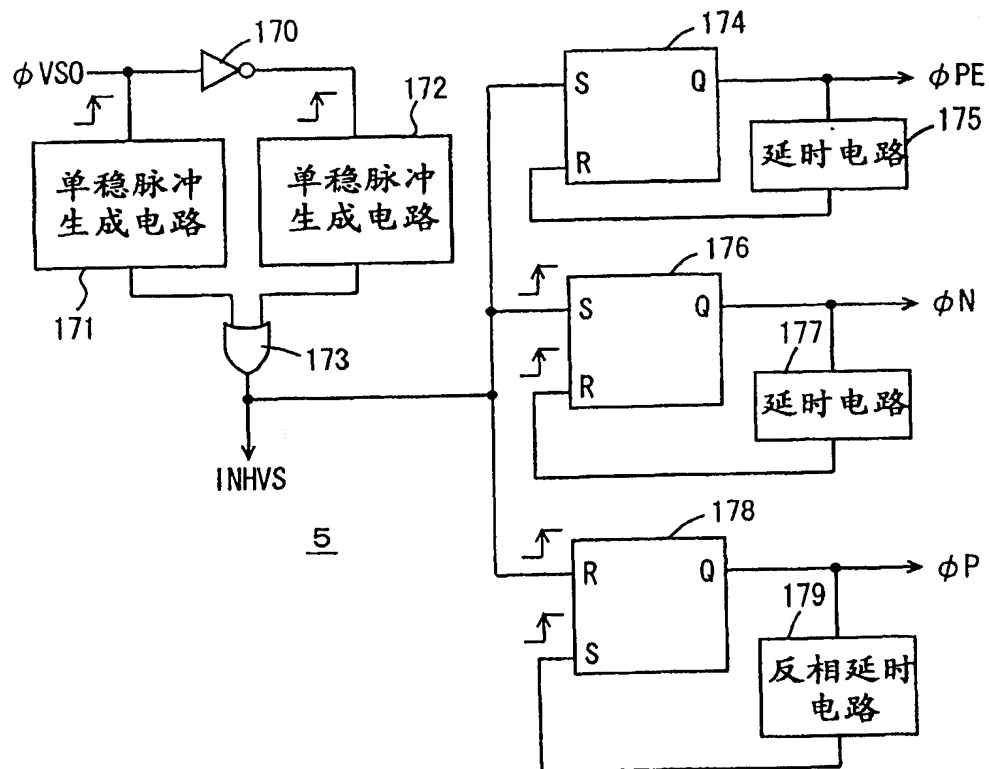


图 31

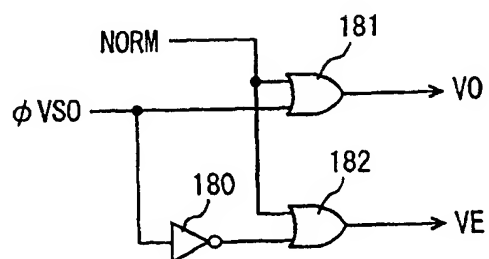


图 32

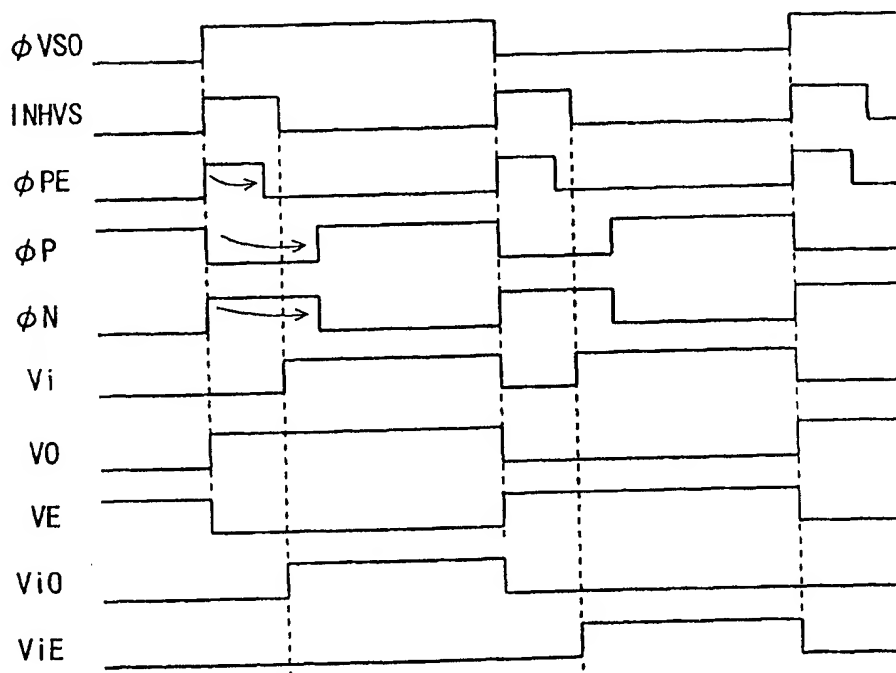


图 33

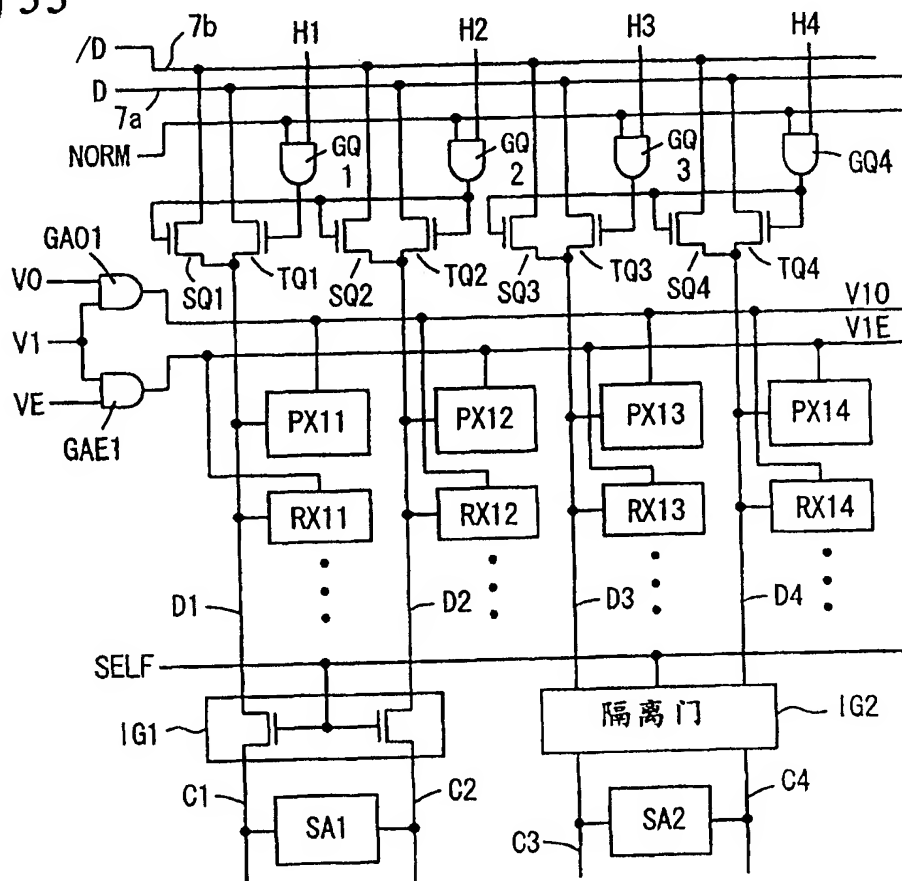


图 34

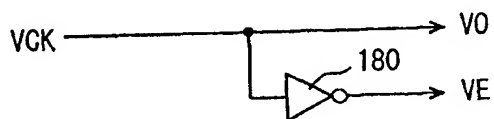


图 35

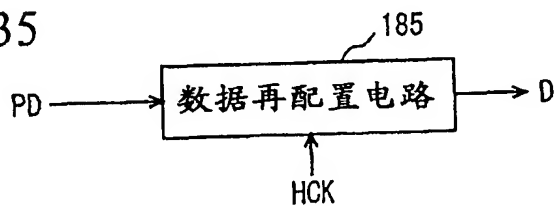


图 40A

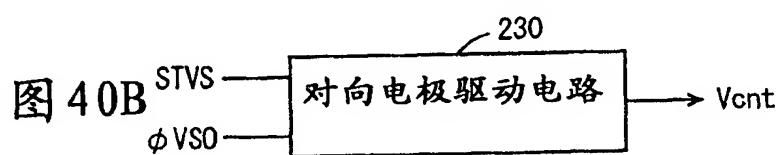
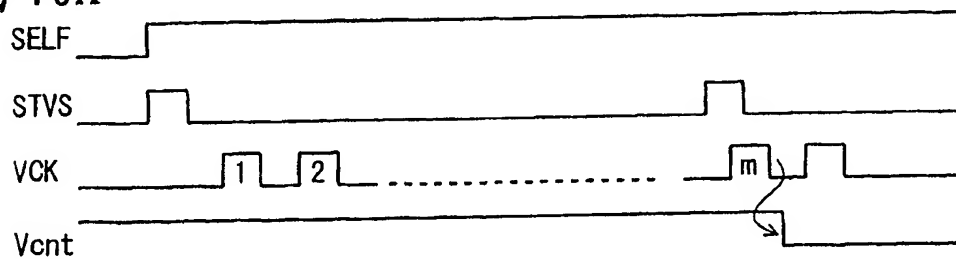


图 41A

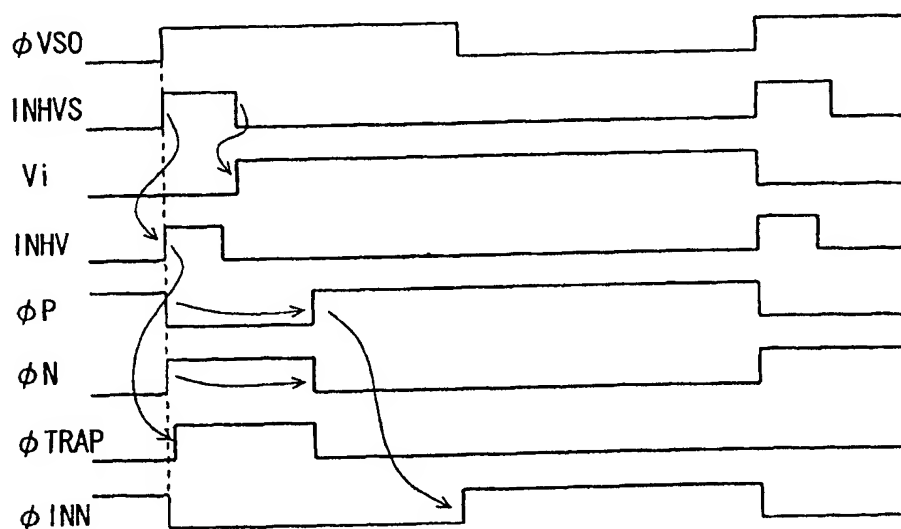


图 41B

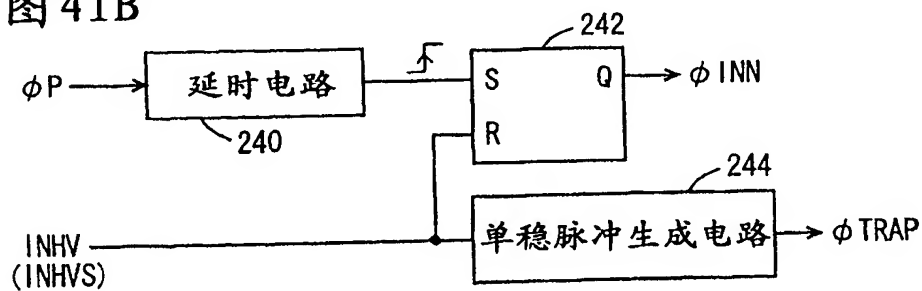


图 42

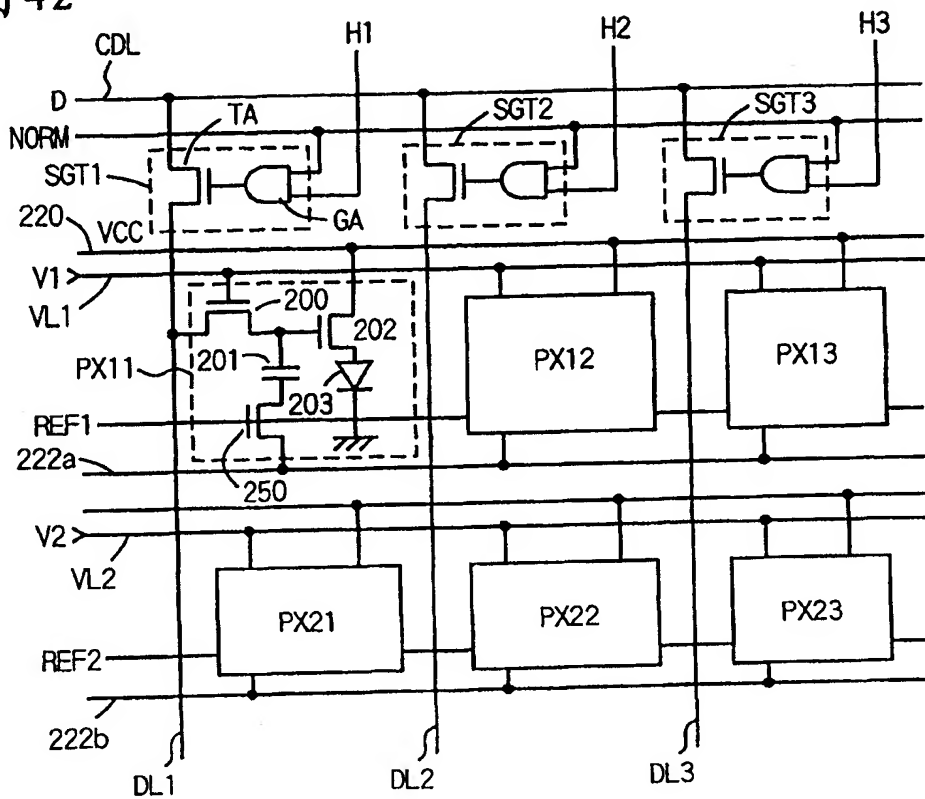


图 43A

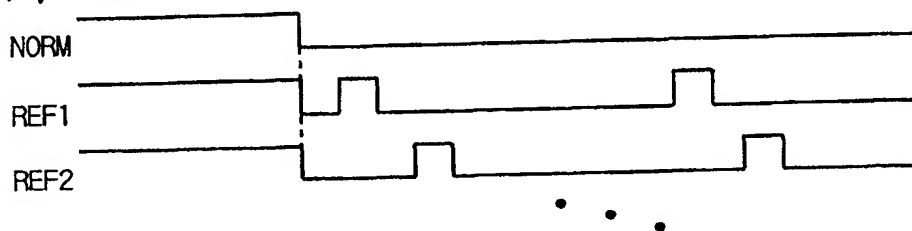


图 43B

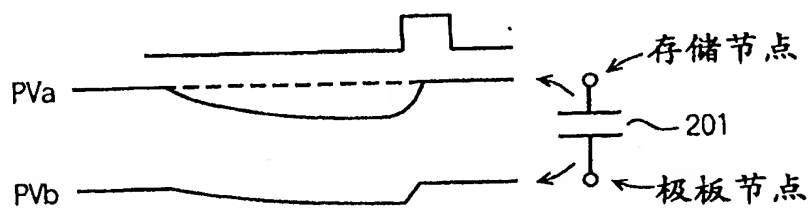


图 44

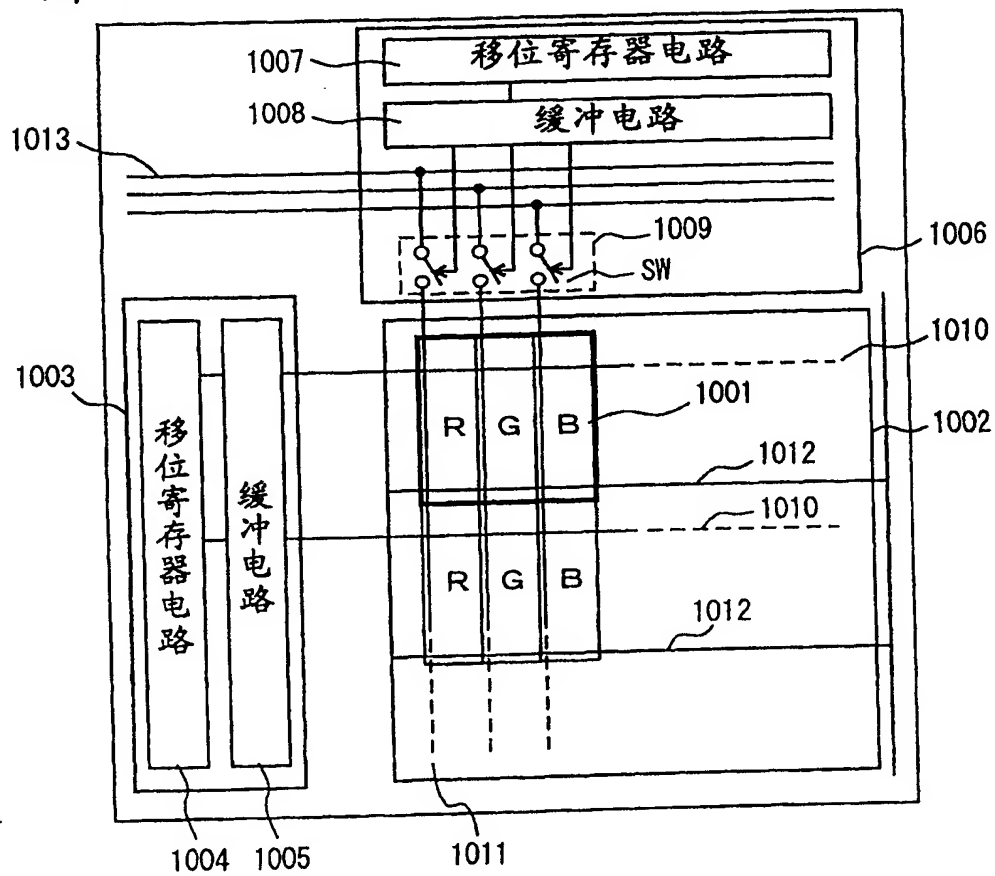


图 45 (现有技术)

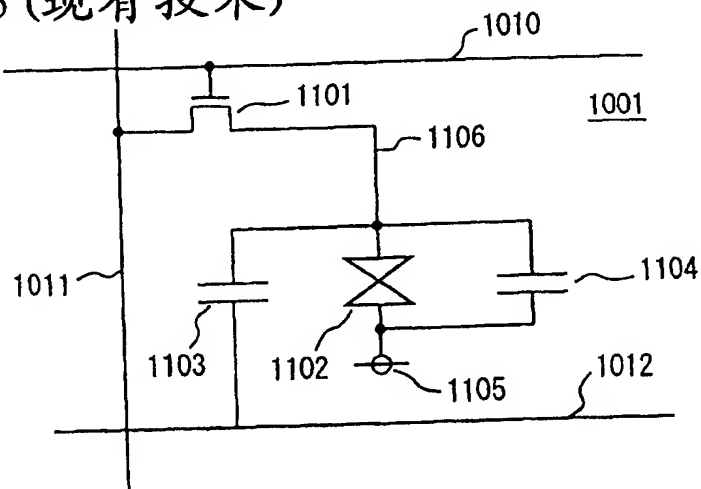


图46 (现有技术)

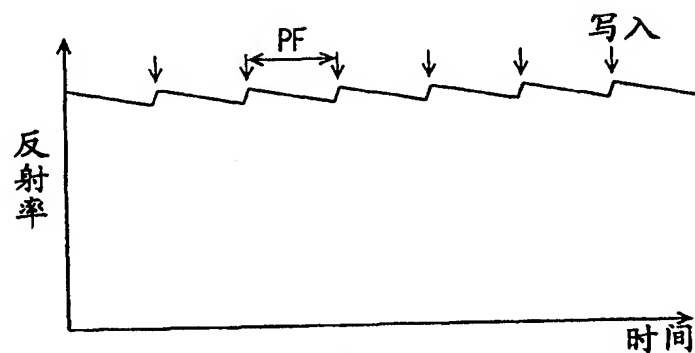


图47 (现有技术)

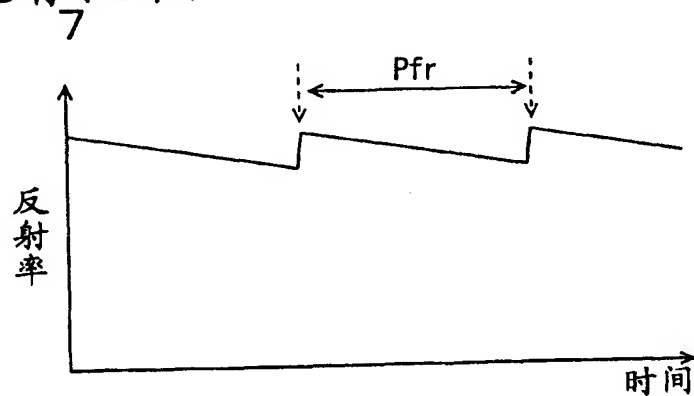


图48 (现有技术)

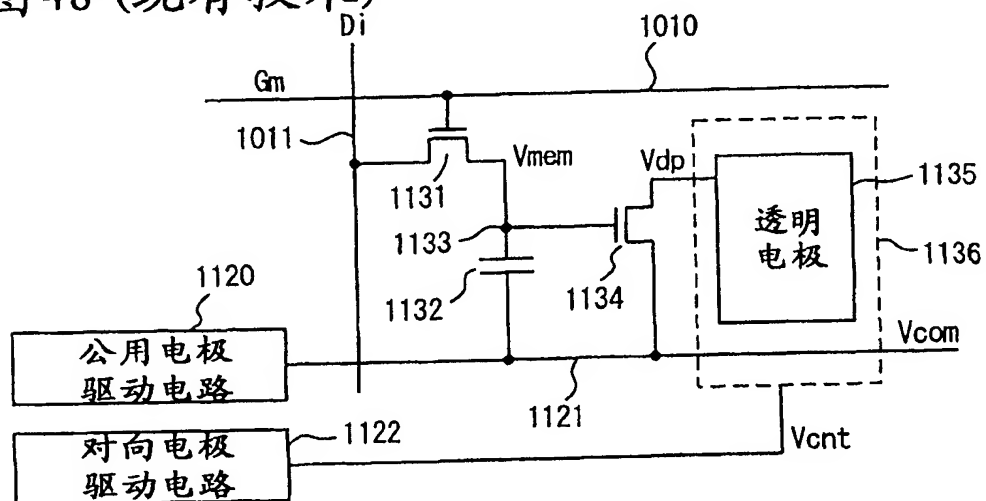


图49(现有技术)

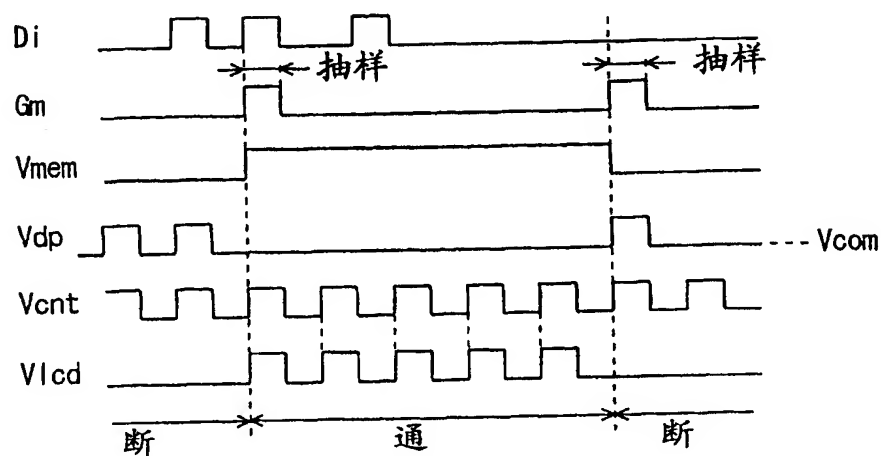


图50(现有技术)

